

AR

Japanese published unexamined application No. 2004-46127

Publication Date; February 12, 2004

Application No.; Japanese patent application No. 2003-138252

Application Date; May, 16, 2003

Priority Application; Japanese patent application No. 2002-143882

Priority Date; May 17, 2002

Priority Country; Japan

Applicant; Semiconductor Energy Laboratory Co., Ltd., 398 Hase, Atsugi-shi, Kanagawa, Japan

Inventor; Hajime KIMURA, c/o Semiconductor Energy Laboratory Co., Ltd, 398 Hase, Atsugi, Kanagawa, Japan

**Patent Family:**

| Patnet No.    | Kind | Date     | Appl. No.  | Date     |
|---------------|------|----------|------------|----------|
| US20030214466 | A1   | 20031120 | 10/438,821 | 20030516 |

**Abstract**

This invention provides a display apparatus in which it is possible to have a light emitting element emitted light with constant luminance without coming under the influence of deterioration over time, and it is possible to realize accurate gray scale express, and yet, it is possible to speed up writing of a signal current to each pixel, and influence of noise of a leak current etc. is suppressed, and a driving method thereof. A plurality of pairs of switch parts and current source circuits are disposed in each pixel. Switching of each of a plurality of the switch parts is controlled by a digital video signal. When the switch part is turned on, by a current supplied from the current source circuit making a pair with the switch part, the light emitting element emits light. A current which is supplied from one current source circuit to the light emitting element is constant. A value of a current flowing through the light emitting element is comparable to a value of added currents which are supplied to the light emitting element from respective all current source circuits making pairs with the switch parts which are in the conductive states.

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-46127

(P2004-46127A)

(43) 公開日 平成16年2月12日 (2004.2.12)

(51) Int. Cl. <sup>7</sup>

G09G 3/30

G09G 3/20

H05B 33/14

F I

G09G 3/30 J

G09G 3/30 K

G09G 3/20 612F

G09G 3/20 612R

G09G 3/20 621F

テーマコード (参考)

3K007

5C080

審査請求 未請求 請求項の数 5 O L (全 57 頁) 最終頁に続く

(21) 出願番号 特願2003-138252 (P2003-138252)  
 (22) 出願日 平成15年5月16日 (2003.5.16)  
 (31) 優先権主張番号 特願2002-143882 (P2002-143882)  
 (32) 優先日 平成14年5月17日 (2002.5.17)  
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 木村 肇  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム (参考) 3K007 AB17 BA06 DB03 GA04  
 5C080 AA06 BB05 DD05 DD29 EE29  
 FF11 JJ02 JJ03 JJ04

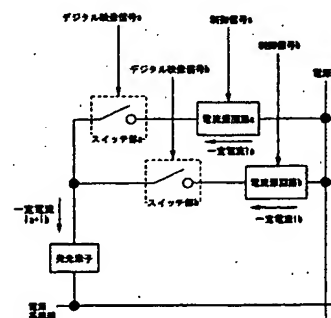
(54) 【発明の名称】 表示装置

## (57) 【要約】

【課題】 本発明は、経時劣化の影響を受けずに一定の輝度で発光素子を発光させることができ、正確な階調表現が可能で、なおかつ各画素に対する信号電流の書き込みを高速化でき、漏れ電流等のノイズの影響を抑制した表示装置及びその駆動方法の提供を提供する。

【解決手段】 各画素に、互いに対になっているスイッチ部と電流源回路を複数組設ける。複数のスイッチ部の各々は、デジタルの映像信号によってそのスイッチングが制御されており、スイッチ部がオンになると、該スイッチ部に対応する電流源回路から供給される電流により、発光素子が発光する。1つの電流源回路から発光素子に供給される電流は一定であり、発光素子に流れる電流値は、導通状態のスイッチ部に対応する全ての電流源回路から、発光素子にそれぞれ供給される電流を加算した値に相当する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

制御電流が供給され、前記制御電流に対応した一定電流を出力電流とする複数の電流源回路と、デジタルの映像信号によって、前記複数の電流源回路各々から発光素子への前記出力電流の入力を選択する複数のスイッチ部とを有する画素を含み、

前記複数の電流源回路それぞれは、

第 1 のトランジスタ及び第 2 のトランジスタと、

前記第 1 のトランジスタのドレイン電流として前記制御電流を選択的に入力する第 1 の手段と、

前記第 1 のトランジスタのゲート電圧を保持する第 2 の手段と、

前記第 1 のトランジスタのゲートとドレインの接続を選択する第 3 の手段と、前記保持された第 1 のトランジスタのゲート電圧をゲート電圧とした前記第 2 のトランジスタのドレイン電流を前記出力電流とする第 4 の手段とを有することを特徴とする表示装置。

10

## 【請求項 2】

制御電流が供給され、前記制御電流に対応した一定電流を出力電流とする複数の電流源回路と、デジタルの映像信号によって、前記複数の電流源回路各々から発光素子への前記出力電流の入力を選択する複数のスイッチ部とを有する画素を含み、

前記複数の電流源回路それぞれは、

ゲートとドレインが接続された第 1 のトランジスタと、

第 2 のトランジスタと、

前記第 1 のトランジスタのドレイン電流として前記制御電流を選択的に入力する第 1 の手段と、

前記第 1 のトランジスタのゲート電圧を保持する第 2 の手段と、

前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのゲートの接続を選択する第 3 の手段と、

前記保持された第 1 のトランジスタのゲート電圧をゲート電圧とした前記第 2 のトランジスタのドレイン電流を前記出力電流とする第 4 の手段とを有することを特徴とする表示装置。

20

## 【請求項 3】

制御電流が供給され、前記制御電流に対応した一定電流を出力電流とする複数の電流源回路と、デジタルの映像信号によって、前記複数の電流源回路各々から発光素子への前記出力電流の入力を選択する複数のスイッチ部とを有する画素を含み、

前記複数の電流源回路のうち 1 つは、

ゲートとドレインが接続された第 1 のトランジスタと、

第 2 のトランジスタと、

前記第 1 のトランジスタのドレイン電流として前記制御電流を選択的に入力する第 1 の手段と、

前記第 1 のトランジスタのゲート電圧を保持する第 2 の手段と、

前記第 1 のトランジスタのゲートとドレインの接続を選択する第 3 の手段と、前記保持された第 1 のトランジスタのゲート電圧をゲート電圧とした前記第 2 のトランジスタのドレイン電流を前記出力電流とする第 4 の手段とを有し、

40

前記複数の電流源回路のうち別の 1 つは、

ゲートとドレインが接続された第 3 のトランジスタと、

第 4 のトランジスタと、

前記第 3 のトランジスタのドレイン電流として前記制御電流を選択的に入力する第 5 の手段と、

前記第 3 のトランジスタのゲート電圧を保持する第 6 の手段と、

前記第 3 のトランジスタのゲートと前記第 4 のトランジスタのゲートの接続を選択する第 7 の手段と、

前記保持された第 3 のトランジスタのゲート電圧をゲート電圧とした前記第 4 のトランジ

50

スタのドレイン電流を前記出力電流とする第 8 の手段とを有することを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記複数の電流源回路各々の前記出力電流の電流値は、互いに異なる値に設定されていることを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、前記複数の電流源回路各々に入力される前記制御電流の電流値は、互いに異なる値に設定されていることを特徴とする表示装置。

【発明の詳細な説明】

10

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、発光素子を用いた表示装置及びその駆動方法に関する。特に、画素毎に発光素子を配置し、該発光素子の発光を制御するトランジスタが設けられたアクティブマトリクス型の表示装置及びその駆動方法に関する。

【 0 0 0 2 】

【従来の技術】

発光素子を有する表示装置の開発が近年進められている。特に、画素毎に発光素子と、該発光素子の発光を制御するトランジスタが設けられたアクティブマトリクス型の表示装置の開発が進められている。

20

【 0 0 0 3 】

アクティブマトリクス型の表示装置には、各画素への輝度情報の入力を電圧信号で行う手法と電流信号で行う手法のいずれかが主に用いられている。前者は電圧書き込み型、後者は電流書き込み型と呼ばれる。これらの構成及び駆動方法について、以下に詳しく説明する。

【 0 0 0 4 】

始めに、電圧書き込み型の画素の一例を図 2 6 に示し、その構成及び駆動方法について説明する。各画素には、2 つの T F T ( 選択 T F T 3 0 0 1 及び駆動 T F T 3 0 0 4 ) と、保持容量 3 0 0 7 と、E L 素子 3 0 0 6 とが設けられている。ここで、E L 素子 3 0 0 6 の第 1 の電極 3 0 0 6 a を画素電極と呼び、第 2 の電極 3 0 0 6 b を対向電極と呼ぶ。

30

【 0 0 0 5 】

上記画素の駆動方法について説明する。ゲート信号線 3 0 0 2 に入力される信号によって選択 T F T 3 0 0 1 がオンの状態になると、ソース信号線 3 0 0 3 に入力される映像信号の電圧によって、保持容量 3 0 0 7 に電荷が蓄積され、保持される。保持容量 3 0 0 7 に保持された電荷に応じた量の電流が、電源線 3 0 0 5 から E L 素子 3 0 0 6 に駆動 T F T 3 0 0 4 を介して流れ、E L 素子 3 0 0 6 が発光する。

【 0 0 0 6 】

電圧書き込み型の画素において、ソース信号線 3 0 0 3 に入力される映像信号は、アナログ方式の場合と、デジタル方式の場合とがある。アナログ方式の映像信号を用いた場合の駆動をアナログ方式、デジタル方式の映像信号を用いた場合の駆動をデジタル方式と呼ぶ

40

【 0 0 0 7 】

電圧書き込み型アナログ方式では、各画素の駆動 T F T 3 0 0 4 のゲート電圧 ( ゲート・ソース間電圧 ) は、アナログの映像信号によって制御される。そして該ゲート電圧に見合った値のドレイン電流が E L 素子 3 0 0 6 に流れることで、輝度を制御し、階調を表示している。このため、一般的に電圧書き込み型アナログ方式では、中間調を表示するために、ゲート電圧に対してドレイン電流の変化が大きな領域において、駆動 T F T 3 0 0 4 を動作させる。

【 0 0 0 8 】

一方、電圧書き込み型デジタル方式では、E L 素子 3 0 0 6 を発光させるか否かをデジタ

50

ルの映像信号により選択することで、EL素子の発光期間を制御し、階調を表示している。つまり駆動TF T 3004は、スイッチとしての働きを担うことになる。このため一般的に電圧書き込み型デジタル方式では、EL素子3006を発光させる際に、駆動TF T 3004を線型領域、より詳しくは線型領域の中でも特にゲート電圧の絶対値が大きな領域で動作させる。

#### 【0009】

電圧書き込み型デジタル方式及び電圧書き込み型アナログ方式での、駆動TF Tの動作領域について、図27を用いて詳しく説明する。図27(A)は、簡単のため、図26に示す画素のうち駆動TF T 3004、電源線3005及びEL素子3006のみを示した図である。図27(B)における曲線3101a、曲線3101bそれぞれは、駆動TF T 3004のゲート電圧 $V_{gs}$ に対するドレイン電流 $I_d$ の値を示している。曲線3101aに対して曲線3101bは、駆動TF T 3004の閾値電圧が変化した場合の特性を示している。

#### 【0010】

電圧書き込み型アナログ方式では、駆動TF T 3004は図中(1)で示した動作領域において動作する。動作領域(1)では、ゲート電圧 $V_{g1}$ を印加したときに、駆動TF T 3004の電流特性が3101aから3101bへばらつくと、ドレイン電流が $I_{d1}$ から $I_{d2}$ へと変化する。つまり、電圧書き込み型アナログ方式は、駆動TF T 3004の電流特性がばらつくとドレイン電流がばらつくため、EL素子3006の輝度が画素間でばらつくという問題がある。

#### 【0011】

一方、電圧書き込み型デジタル方式における駆動TF Tは図中(2)で示した動作領域において動作する。動作領域(2)は線型領域に相当する。線型領域で動作する駆動TF T 3004は、同じゲート電圧 $V_{g2}$ が印加されている場合には、移動度や閾値電圧等の特性のばらつきに起因したドレイン電流のばらつきは小さく、ほぼ一定の電流 $I_{d3}$ を流す。よって、駆動TF T 3004が動作領域(2)で動作する電圧書き込み型デジタル方式では、駆動TF T 3004の電流特性が3101aから3101bへばらついても、EL素子3006を流れる電流がばらつきにくく、発光輝度のばらつきも抑えられる。

#### 【0012】

よって、駆動TF T 3004の電流特性のばらつきに起因するEL素子の輝度のバラツキは、電圧書き込み型アナログ方式よりも電圧書き込み型デジタル方式の方が小さいと言える。

#### 【0013】

次いで、電流書き込み型の画素の構成及び駆動方法について説明する。

#### 【0014】

電流書き込み型の表示装置では、ソース信号線より各画素に映像信号の電流(信号電流)が入力される。当該信号電流は、輝度情報に線型に対応する電流値を有する。当該入力された信号電流は、画素の有するTF Tのドレイン電流となる。当該TF Tのゲート電圧を、画素の有する容量部において保持する。信号電流が入力されなくなった後も、該保持されたゲート電圧によってTF Tのドレイン電流が一定に保たれ、該ドレイン電流をEL素子に入力することによりEL素子が発光する。このように、電流書き込み型の表示装置では、前記信号電流の大きさを変化させることによってEL素子に流れる電流を変化させ、EL素子の発光輝度を制御して階調を表現する。

#### 【0015】

以下に、電流書き込み型の画素の構成を2つ例示し、その構成と駆動方法についてより詳細に説明する。

#### 【0016】

#### 【特許文献1】

特表2002-517806号公報

#### 【非特許文献1】

IDW '00 p 235-p 238: Active Matrix PolyLED Displays

【0017】

図28に、特許文献1や非特許文献1に記載されている画素の構成を示す。図28に示す画素は、EL素子3306、選択TFT3301、駆動TFT3303、保持容量3305、保持TFT3302、発光TFT3304を有する。また、3307はソース信号線、3308は第1のゲート信号線、3309は第2のゲート信号線、3310は第3のゲート信号線、3311は電源線である。ソース信号線3307に入力する信号電流の電流値は、映像信号入力電流源3312により制御される。

【0018】

図28の画素の駆動方法について図29を用いて説明する。なお、図29において選択TFT3301、保持TFT3302及び発光TFT3304は、スイッチとして図示する。

【0019】

期間TA1において、選択TFT3301及び保持TFT3302がオンの状態となる。このとき、電源線3311が駆動TFT3303及び保持容量3305を介してソース信号線3307と接続される。ソース信号線3307には、映像信号入力電流源3312によって定められた電流量 $I_{vid}$ が流れる。そのため時間が経過し定常状態となると、駆動TFT3303のドレイン電流は $I_{vid}$ となる。またドレイン電流 $I_{vid}$ に対応するゲート電圧は、保持容量3305に保持される。駆動TFT3303のドレイン電流が $I_{vid}$ に定まった後、期間TA2が開始され、保持TFT3302がオフの状態となる。

【0020】

次に期間TA3が開始され、選択TFT3301がオフの状態となる。更に期間TA4において、発光TFT3304がオンの状態となると、信号電流 $I_{vid}$ が電源線3311より駆動TFT3303を介してEL素子3306に輸入される。こうして、EL素子3306は信号電流 $I_{vid}$ に応じた輝度で発光する。図28に示す画素では、信号電流 $I_{vid}$ をアナログ的に変化させることによって、階調を表現することができる。

【0021】

上記の電流書き込み型の表示装置では、駆動TFT3303のドレイン電流は、ソース信号線3307より入力される信号電流によって定められており、なおかつ駆動TFT3303は飽和領域で動作する。そのため、駆動TFT3303の特性にバラツキがあっても発光素子に一定のドレイン電流を流す様に、駆動TFT3303のゲート電圧は自動的に変化する。こうして、電流書き込み型の表示装置では、TFTの特性がばらついてもEL素子に流れる電流のばらつきを抑制することができる。その結果、発光輝度のばらつきを抑えることができる。

【0022】

次に、電流書き込み型の画素の、図28とは異なるもう1つの例について説明する。図30(A)に、下記特許文献2に記載されている画素を示す。

【0023】

【特許文献2】

特開2001-147659号公報

【0024】

図30(A)に示す画素は、EL素子2906、選択TFT2901、駆動TFT2903、カレントTFT2904、保持容量2905、保持TFT2902、ソース信号線2907、第1のゲート信号線2908、第2のゲート信号線2909、電源線2911によって構成される。駆動TFT2903とカレントTFT2904は同じ極性を有する必要がある。ここでは簡単のため、駆動TFT2903とカレントTFT2904の $I_{on}$ - $V_g$ 特性(ドレイン電流とゲート・ソース間電圧の関係)が同じであると仮定する。ま

10

20

30

40

50

た、ソース信号線 2907 に入力する信号電流の電流値は、映像信号入力電流源 2912 により制御される。

#### 【0025】

図 30 (A) に示した画素の駆動方法について、図 30 (B) ~ (D) を用いて説明する。なお、図 30 (B) ~ (D) において選択 TFT 2901 及び保持 TFT 2902 は、スイッチとして示す。

#### 【0026】

期間 TA1 において、選択 TFT 2901 及び保持 TFT 2902 がオンの状態となると、電源線 2911 は、カレント TFT 2904、選択 TFT 2901、保持 TFT 2902 及び保持容量 2905 を介してソース信号線 2907 と接続される。ソース信号線 2907 には、映像信号入力電流源 2912 によって定められた電流量  $I_{vid}$  が流れる。そのため十分に時間が経過し定常状態となるとカレント TFT 2904 のドレイン電流は  $I_{vid}$  となり、ドレイン電流  $I_{vid}$  に対応するゲート電圧が保持容量 2905 に保持される。

#### 【0027】

カレント TFT 2904 のドレイン電流が  $I_{vid}$  に定まった後、期間 TA2 が開始され、保持 TFT 2902 がオフの状態となる。このとき駆動 TFT 2903 には、 $I_{vid}$  のドレイン電流が流れている。こうして信号電流  $I_{vid}$  が、電源線 2911 から駆動 TFT 2903 を介して EL 素子 2906 に入力される。EL 素子 2906 は信号電流  $I_{vid}$  に応じた輝度で発光する。

20

#### 【0028】

次に期間 TA3 が開始されると、選択 TFT 2901 がオフの状態となる。選択 TFT 2901 がオフ状態となった後も、信号電流  $I_{vid}$  が、電源線 2911 から駆動 TFT 2903 を介して EL 素子 2906 に入力され続け、EL 素子 2906 は発光し続ける。図 30 (A) に示した画素は、信号電流  $I_{vid}$  をアナログ的に変化させることによって、階調を表現することができる。

#### 【0029】

図 30 (A) に示した画素では、駆動 TFT 2903 は飽和領域で動作する。駆動 TFT 2903 のドレイン電流は、ソース信号線 2907 より入力される信号電流によって定められている。そのため、同じ画素内の駆動 TFT 2903 とカレント TFT 2904 の電流特性が揃っていれば、駆動 TFT 2903 の特性にバラツキがあっても発光素子に一定のドレイン電流を流し続ける様に、駆動 TFT 2903 のゲート電圧は自動的に変化する。

30

#### 【0030】

##### 【発明が解決しようとする課題】

EL 素子において、その両電極間の電圧と流れる電流量の関係 ( $I-V$  特性) は、環境温度や経時劣化等の影響によって変化する。そのため、上述した電圧書き込み型デジタル方式のような駆動 TFT を線型領域で動作させる表示装置では、EL 素子の両電極間の電圧値が同じであっても、EL 素子の両電極間を流れる電流量は変動してしまう。

#### 【0031】

図 31 は、電圧書き込み型デジタル方式において、EL 素子の  $I-V$  特性が劣化等により変化した場合の動作点の変化を示した図である。なお図 31 において、図 26 と同じ部分は同じ符号を付す。

40

#### 【0032】

図 31 (A) は、図 26 における駆動 TFT 3004 と EL 素子 3006 のみ抽出して示した図である。駆動 TFT 3004 のソース・ドレイン間電圧を  $V_a$  で示す。EL 素子 3006 の両電極間の電圧を  $V_{EL}$  で示す。EL 素子 3006 を流れる電流を  $I_{EL}$  で示す。電流  $I_{EL}$  は、駆動 TFT 3004 のドレイン電流  $I_d$  に等しい。電源線 3005 の電位を  $V_s$  で示す。また、EL 素子 3006 の対向電極の電位は 0 (V) とする。

#### 【0033】

50

図31(B)において、3202aは、劣化前のEL素子3006の電圧 $V_{EL}$ と、電流量 $I_{EL}$ の関係( $I-V$ 特性)を示す曲線である。一方、3202bは劣化後のEL素子3006の $I-V$ 特性を示す曲線である。3201は、図27(B)におけるゲート電圧が $V_{g12}$ の場合の駆動TFT3004のソース・ドレイン間電圧 $V_{ds}$ とドレイン電流 $I_d$ ( $I_{EL}$ )の関係を示す曲線である。駆動TFT3004及びEL素子3006の動作条件(動作点)は、この2つの曲線の交点によって定まる。つまり、図中に示す線型領域での曲線3202aと曲線3201の交点3203aによって、EL素子3006の劣化前の駆動TFT3004及びEL素子3006の動作条件が定まる。また、図中に示す線型領域での曲線3202bと曲線3201の交点3203bによって、EL素子3006の劣化後の駆動TFT3004及びEL素子3006の動作条件が定まる。動作点3203a及び3203bを比較する。

#### 【0034】

発光状態を選択された画素において、駆動TFT3004はオンの状態である。このときEL素子3006の両電極間の電圧は $V_{A1}$ である。EL素子3006が劣化しその $I-V$ 特性が変化すると、EL素子3006の両電極間の電圧が $V_{A1}$ とほぼ同じであっても、流れる電流が $I_{EL1}$ から $I_{EL2}$ に変化する。つまり、各画素のEL素子3006の劣化の度合いにより、EL素子3006に流れる電流が $I_{EL1}$ から $I_{EL2}$ に変化するため、発光輝度がバラついてしまう。

#### 【0035】

その結果、駆動TFTを線型領域で動作させるタイプの画素を有する表示装置では、画像20の焼きつきが生じやすい。

#### 【0036】

一方、図28や図30に示した電流書き込み型の画素では、上記画像の焼きつきは低減される。これは、電流書き込み型の画素においては、駆動TFTは常にほぼ一定の電流を流すように動作するためである。

#### 【0037】

電流書き込み型の画素において、EL素子の $I-V$ 特性が劣化等によって変化した場合の動作点の変化について、図28の画素を例に挙げ説明する。図32は、電流書き込み型において、EL素子の $I-V$ 特性が劣化等により変化した場合の動作点の変化を示した図である。なお図32において、図28と同じ部分は同じ符号を付す。

30

#### 【0038】

図32(A)は、図28における駆動TFT3303とEL素子3306のみ抽出して示した図である。駆動TFT3303のソース・ドレイン間電圧を $V_{ds}$ で示す。EL素子3306の陰極と陽極間の電圧を $V_{EL}$ で示す。EL素子3306を流れる電流を $I_{EL}$ で示す。電流 $I_{EL}$ は、駆動TFT3303のドレイン電流 $I_d$ に等しい。電源線3305の電位を $V_{dd}$ で示す。また、EL素子3306の対向電極の電位は0(V)とする。

#### 【0039】

図32(B)において、3701は駆動TFT3303のソース・ドレイン間電圧とドレイン電流の関係を示す曲線である。3702aは劣化前のEL素子3306の $I-V$ 特性を示す曲線である。一方、3702bは劣化後のEL素子3306の $I-V$ 特性を示す曲線である。EL素子3306の劣化前の駆動TFT3303及びEL素子3306の動作条件は、曲線3702aと曲線3701の交点3703aで定まる。EL素子3306の劣化後の駆動TFT3303及びEL素子3306の動作条件は、曲線3702bと曲線3701の交点3703bで定まる。ここで、動作点3703a及び3703bを比較する。

40

#### 【0040】

電流書き込み型の画素では、駆動TFT3303は飽和領域で動作している。EL素子3306の劣化前後において、EL素子3306の両電極間の電圧は $V_{B1}$ から $V_{B2}$ に変化するが、EL素子3306を流れる電流はほぼ一定の $I_{EL1}$ に保たれる。こうしてEL素子3306の劣化に対しても、EL素子3306に流れる電流はほぼ一定に保たれる

50



。よって画像の焼きつきの問題は低減される。

【 0 0 4 1 】

しかし、従来の電流書き込み型の駆動方法では、信号電流に応じた電荷を各画素の保持容量に保持する必要がある。保持容量に所定の電荷を保持する動作は、当該信号電流を流す配線の交差容量等のために、信号電流が小さな場合ほど長い時間を必要とする。そのため、信号電流の素早い書き込みが困難である。また信号電流が小さな場合は、信号電流の書き込みが行われる画素と同じソース信号線に接続された複数の画素から生じる漏れ電流等のノイズの影響が大きい。そのため、正確な輝度で画素を発光させることができない危険性が高い。

【 0 0 4 2 】

また図 3 0 に示した画素に代表されるカレントミラー回路を有する画素では、カレントミラー回路を構成する 1 対の T F T の電流特性が揃うことが望ましい。しかし実際には、これらの対となる T F T の電流特性を完全に揃えることは難しく、ばらつきが生じてしまう

10

【 0 0 4 3 】

図 3 0 に示す画素において、駆動 T F T 2 9 0 3 とカレント T F T 2 9 0 4 の閾値がそれぞれ  $V_{thn}$ 、 $V_{thp}$  であるとする。両トランジスタの閾値  $V_{thn}$ 、 $V_{thp}$  がばらついて、 $V_{thn}$  の絶対値  $|V_{thn}|$  が、 $V_{thp}$  の絶対値  $|V_{thp}|$  より小さくなってしまうときに、黒表示を行う場合について考察する。カレント T F T 2 9 0 4 を流れるドレイン電流は、映像信号入力電流源 2 9 1 2 によって定められた電流値  $I_{vid}$  に相当し、0 であるとする。しかし、カレント T F T 2 9 0 4 にドレイン電流が流れなくても、保持容量 2 9 0 5 には  $|V_{thp}|$  よりやや小さい程度の電圧が保持されている可能性がある。ここで  $|V_{thp}| > |V_{thn}|$  であるため、駆動 T F T 2 9 0 3 のドレイン電流は 0 ではない可能性がある。こうして黒表示を行う場合においても、駆動 T F T 2 9 0 3 にはドレイン電流が流れ E L 素子 2 9 0 6 が発光してしまう可能性があり、コントラストが低下するという問題が生じる。

20

【 0 0 4 4 】

更に、従来の電流書き込み型の表示装置では、各画素に信号電流を入力する映像信号入力電流源は列毎（画素列毎）に設けられる。それら全ての映像信号入力電流源の電流特性を揃えて、且つ、出力する電流値をアナログ的に正確に変化させる必要がある。しかしながら、多結晶半導体などを用いたトランジスタでは、トランジスタの特性のばらつきが大きいので、電流特性の揃った映像信号入力電流源を作製するのは困難である。よって従来の電流書き込み型の表示装置では、映像信号入力電流源は単結晶 I C 基板上に作製される。一方、画素が形成される基板は、コスト等の面からガラス等の絶縁基板上に作製されるのが一般的である。そこで、画素が形成された基板上に、映像信号入力電流源が作製された単結晶 I C 基板を貼り付ける必要がある。このような構成の表示装置は、コストが高い、単結晶 I C 基板の貼り付けの際に必要な面積が大きく額縁の面積を小さくすることができない等の問題がある。

30

【 0 0 4 5 】

上述の実情を鑑み、本発明は、経時劣化の影響を受けずに一定の輝度で発光素子を発光させることができる表示装置及びその駆動方法の提供を課題とする。また本発明は、正確な階調表現が可能で、また、各画素に対する映像信号の書き込みを高速化することが可能で、且つ、漏れ電流等のノイズの影響を抑制した表示装置及びその駆動方法を提供する。さらに本発明は、低コストで、且つ、額縁面積を小さくして小型化を実現した表示装置及びその駆動方法の提供を課題とする。

40

【 0 0 4 6 】

【課題を解決するための手段】

本発明は上記課題を解決するために以下の手段を講じた。

【 0 0 4 7 】

まず本発明の概要について説明する。本発明の表示装置の有する各画素は、複数のスイツ

50

チ部と複数の電流源回路とを有する。1つのスイッチ部と1つの電流源回路はペアになって動作する。以下、スイッチ部と電流源回路のペアは1画素中に複数存在する。

#### 【0048】

複数のスイッチ部の各々は、デジタルの映像信号によってオン・オフが選択される。スイッチ部がオン（導通状態）になると、該スイッチ部に対応する電流源回路から発光素子に電流が供給され、発光素子は発光する。1つの電流源回路から発光素子に供給される電流は一定である。キルヒホッフの電流法則に従い、発光素子に流れる電流値は、導通状態のスイッチ部に対応する全ての電流源回路から発光素子にそれぞれ供給される電流を加算した値に相当する。本発明の画素は、複数のスイッチ部のうちどのスイッチ部を導通状態とするかによって、発光素子に流れる電流値を変化させ、階調を表現することができる。一方、電流源回路は、常にある一定の電流を出力するように設定される。そのため、発光素子に流れる電流のばらつきを防ぐことができる。

#### 【0049】

本発明の画素の構成及びその動作について、本発明の表示装置の画素の構成を模式的に示した図1を用いて説明する。図1において、画素は、2つの電流源回路（図1中、電流源回路a、電流源回路b）と、2つのスイッチ部（図1中、スイッチ部a、スイッチ部b）と、発光素子とを有する。なお、図1では1画素中にスイッチ部と電流源回路のペアが2組ある画素を例示したが、1画素中のスイッチ部と電流源回路のペアの数は任意の数とすることができる。

#### 【0050】

スイッチ部（スイッチ部a、スイッチ部b）は、入力端子と出力端子を有する。デジタルの映像信号によって、スイッチ部の入力端子と出力端子間の導通・非導通が制御される。スイッチ部の入力端子と出力端子間が導通の状態にあることをスイッチ部がオンと呼ぶ。また、スイッチ部の入力端子と出力端子間が非導通の状態にあることをスイッチ部をオフと呼ぶ。各スイッチ部は、対応するデジタル映像信号によってオン・オフが制御される。

#### 【0051】

電流源回路（電流源回路a、電流源回路b）は、入力端子と出力端子とを有し、入力端子と出力端子の間に一定電流を流す機能を有する。電流源回路aは、制御信号aにより、一定の電流 $I_a$ を流すように制御されている。また電流源回路bは、制御信号bにより、一定の電流 $I_b$ を流すように制御されている。当該制御信号は、映像信号とは異なる信号であっても良い。また制御信号は、電流信号であってもよいし電圧信号であってもよい。このように制御信号によって電流源回路を流れる電流を定める動作を、電流源回路の設定動作もしくは画素の設定動作と呼ぶ。電流源回路の設定動作を行うタイミングは、スイッチ部の動作と同期していても、非同期であってもよく、任意のタイミングで設定することができる。また設定動作は、1つの電流源回路に対してのみ行ない、設定動作を行なった電流源回路の情報を、他の電流源回路と共有させるようにしても良い。電流源回路の設定動作により、電流源回路が出力する電流のばらつきを抑制することができる。

#### 【0052】

例えば、電流源回路に入力される制御信号を電流信号とした場合の本発明の表示装置の画素の例を挙げる。画素は、制御電流が供給され、前記制御電流に対応した一定電流を出力電流とする複数の電流源回路と、デジタルの映像信号によって、前記複数の電流源回路各々から発光素子への前記出力電流の入力を選択する複数のスイッチ部とを有する。

#### 【0053】

ここで、前記複数の電流源回路それぞれは、第1のトランジスタ及び第2のトランジスタと、前記第1のトランジスタのドレイン電流として前記制御電流を選択的に入力する第1の手段と、前記第1のトランジスタのゲート電圧を保持する第2の手段と、前記第1のトランジスタのゲートとドレインの接続を選択する第3の手段と、前記保持された第1のトランジスタのゲート電圧をゲート電圧とした前記第2のトランジスタのドレイン電流を前記出力電流とする第4の手段とを有する構成とすることができる。

## 【 0 0 5 4 】

または、前記複数の電流源回路それぞれは、ゲートとドレインが接続された第1のトランジスタと、第2のトランジスタと、前記第1のトランジスタのドレイン電流として前記制御電流を選択的に入力する第1の手段と、前記第1のトランジスタのゲート電圧を保持する第2の手段と、前記第1のトランジスタのゲートと前記第2のトランジスタのゲートの接続を選択する第3の手段と、前記保持された第1のトランジスタのゲート電圧をゲート電圧とした前記第2のトランジスタのドレイン電流を前記出力電流とする第4の手段とを有する構成とすることができる。

## 【 0 0 5 5 】

または、前記複数の電流源回路のうち1つは、第1のトランジスタ及び第2のトランジスタと、前記第1のトランジスタのドレイン電流として前記制御電流を選択的に入力する第1の手段と、

前記第1のトランジスタのゲート電圧を保持する第2の手段と、

前記第1のトランジスタのゲートとドレインの接続を選択する第3の手段と、前記保持された第1のトランジスタのゲート電圧をゲート電圧とした前記第2のトランジスタのドレイン電流を前記出力電流とする第4の手段とを有し、

前記複数の電流源回路のうち別の1つは、ゲートとドレインが接続された第3のトランジスタと、第4のトランジスタと、前記第3のトランジスタのドレイン電流として前記制御電流を選択的に入力する第5の手段と、前記第3のトランジスタのゲート電圧を保持する第6の手段と、前記第3のトランジスタのゲートと前記第4のトランジスタのゲートの接続を選択する第7の手段と、前記保持された第3のトランジスタのゲート電圧をゲート電圧とした前記第4のトランジスタのドレイン電流を前記出力電流とする第8の手段とを有する構成とすることができる。

## 【 0 0 5 6 】

発光素子とは、その両電極間に流れる電流量によって輝度に変化する素子を意味する。発光素子としては、EL（エレクトロルミネッセンス）素子や、FE（Field Emission）素子等が挙げられる。ただし、発光素子のかわりに、電流や電圧などによって、状態を制御する任意の素子を用いた場合にも、本発明を応用することが可能である。

## 【 0 0 5 7 】

発光素子の2つの電極（陽極と陰極）のうち、一方の電極（第1の電極）は、スイッチ部a及び電流源回路aを順に介して電源線に電気的に接続される。さらに当該第1の電極は、スイッチ部b及び電流源回路bを順に介して電源線に電気的に接続される。なお、スイッチ部aがオフになった際、電流源回路aによって定まる電流が発光素子間に流れないようにし、且つ、スイッチ部bがオフになった際、電流源回路bによって定まる電流が発光素子間に流れないようにする回路構成であれば、図1の回路構成に限定されない。

## 【 0 0 5 8 】

本発明では、1つの電流源回路と1つのスイッチ部とはペアとなっており、それらは直列に接続されている。図1の画素では、そのようなスイッチ部と電流源回路のペアが2組あり、この2組のペアは互いに並列に接続されている。

## 【 0 0 5 9 】

次いで、図1に示した画素の動作について説明する。

## 【 0 0 6 0 】

図1に示すように、2つのスイッチ部と2つの電流源回路とを有する画素では、発光素子に入力される電流の経路は全部で3通り存在する。1つ目の経路は、2つのうちいずれか一方の電流源回路から供給される電流が発光素子に入力される経路である。2つ目の経路は、1つ目の経路において電流を供給した電流源回路と異なるもう一方の電流源回路から供給される電流が発光素子に入力される経路である。3つ目の経路は、2つの電流源回路から供給される電流が、共に発光素子に入力される経路である。3つ目の経路の場合、各電流源回路から供給される電流を加算した電流が、発光素子に供給されることになる。

## 【 0 0 6 1 】

より具体的に説明すると、1つ目の経路は、電流源回路 a を流れる電流  $I_a$  のみ発光素子に入力される経路である。この経路は、デジタルの映像信号 a 及びデジタルの映像信号 b によって、スイッチ部 a がオン、スイッチ部 b がオフとなった場合に選択される。2つ目の経路は、電流源回路 b を流れる電流  $I_b$  のみ発光素子に入力される経路である。この経路は、デジタルの映像信号 a 及びデジタルの映像信号 b によって、スイッチ部 a がオフ、スイッチ部 b がオンとなった場合に選択される。3つ目の経路は、電流源回路 a を流れる電流  $I_a$  と電流源回路 b を流れる電流  $I_b$  とを加算した電流  $I_a + I_b$  が、発光素子に入力される経路である。この経路は、デジタルの映像信号 a 及びデジタルの映像信号 b によって、スイッチ部 a およびスイッチ部 b が両方ともオンとなった場合に選択される。即ち、デジタルの映像信号 a 及びデジタルの映像信号 b によって電流  $I_a + I_b$  が発光素子に流れるようになるため、画素はデジタル/アナログ変換と同様の動作を行っていることになる。

#### 【 0 0 6 2 】

続いて、本発明の表示装置における階調表現のための基本的な手法について説明する。まず、電流源回路の設定動作によって各電流源回路を流れる一定の電流が適宜定められる。各画素が有する複数の電流源回路は、電流源回路毎に異なる電流値を設定することが可能である。発光素子は流れる電流量（電流密度）に応じた輝度で発光するので、どの電流源回路から電流を供給するか制御することによって、発光素子の輝度を設定することができる。ゆえに、発光素子に入力される電流の経路を選択することによって、発光素子の輝度を複数の輝度レベルから選択することができる。こうして、各画素の発光素子の輝度をデジタルの映像信号によって、複数の輝度レベルから選択する（以下、各発光状態を選択するということ）ことができる。なお、デジタルの映像信号によって全てのスイッチ部をオフにした場合、発光素子に電流が入力されないため、輝度をゼロとする（以下、非発光状態を選択するということ）ことができる。こうして、各画素の発光素子の輝度を変化させ階調を表現することができる。

#### 【 0 0 6 3 】

しかし、上述の方法だけでは階調数が少ない場合がある。そこで多階調化を図るために、他の階調方式と組み合わせることもできる。その方式には大きく分けて2つある。

#### 【 0 0 6 4 】

1つ目は時間階調方式と組み合わせる手法である。時間階調方式は、1フレーム期間内に発光する期間を制御することによって、階調を表現する方法である。1フレーム期間とは1画面分の画像を表示する期間に相当する。具体的には、1フレーム期間を複数のサブフレーム期間に分割し、サブフレーム期間毎に各画素の発光状態または非発光状態を選択する。こうして、画素の発光した期間及び発光輝度の組み合わせによって、階調を表現する。2つ目は、面積階調方式と組み合わせる手法である。面積階調方式は、1画素中の発光する部分の面積を変化させることによって、階調を表現する方法である。例えば、各画素を複数のサブ画素によって構成する。ここで、各サブ画素の構成は上述した本発明の表示装置の画素構成と同じである。各サブ画素において、発光状態または非発光状態を選択する。こうして、画素の発光する部分の面積及び発光輝度の組み合わせによって、階調を表現する。なお、時間階調方式と組み合わせる手法と面積階調方式と組み合わせる手法とを組み合わせてもよい。

#### 【 0 0 6 5 】

次いで、上述の階調表示の手法において、輝度ばらつきを更に低減するのに有効な手法を示す。これは、例えばノイズなどによって、画素間において同じ階調を表現する場合にも輝度がばらついてしまう場合に有効な手法である。

#### 【 0 0 6 6 】

各画素の有する複数の電流源回路のうち2つ以上の各電流源回路が、互いに同じ一定の電流を出力するように設定する。そして、同じ階調を表現する際に、同じ一定の電流を出力する電流源回路を使い分ける。このようにすれば、仮に電流源回路の出力電流がばらついていても、発光素子に流れる電流は時間的に平均化される。そのため、各画素間の電流源回路

の出力電流のばらつきによる輝度のばらつきを視覚的に低減することができる。

#### 【 0 0 6 7 】

本発明では、画像表示を行う際に発光素子に流れる電流は所定の一定電流に保たれるため、発光素子を劣化等による電流特性の変化によらず一定の輝度で発光させることができる。デジタルの映像信号でスイッチ部のオン・オフ状態を選択することによって各画素の各発光状態または非発光状態を選択するので、画素への映像信号の書き込みを速くすることができる。映像信号により非発光状態が選択された画素においては、スイッチ部によって発光素子に入力される電流は完全に遮断されるので、正確な階調を表現することができる。つまり、漏れ電流によって起こる、黒表示をする際のコントラスト低下の問題を解消することができる。また本発明は、電流源回路を流れる一定電流の電流値をある程度大きく設定することができるため、小さな信号電流を書き込む際に生じるノイズの影響を低減することができる。さらに本発明の表示装置は、各画素に配置した電流源回路を流れる電流の値を変化させるための駆動回路は必要無く、単結晶 I C 基板等の別基板上に作製された外付けの駆動回路は必要ないため、低コスト化及び小型化を実現することができる。

#### 【 0 0 6 8 】

##### 【発明の実施の形態】

##### （実施の形態 1）

本発明の実施の形態について、図 2 を用いて説明する。本実施の形態では、1 画素にスイッチ部と電流源回路のペアが 2 つある場合について説明する。

#### 【 0 0 6 9 】

図 2 ( A ) において、各画素 1 0 0 は、スイッチ部 1 0 1 a、1 0 1 b、電流源回路 1 0 2 a、1 0 2 b、発光素子 1 0 6、映像信号入力線 S a、S b、走査線 G a、G b、電源線 W を有する。スイッチ部 1 0 1 a と電流源回路 1 0 2 a は直列に接続され、1 つのペアを形成する。スイッチ部 1 0 1 b と電流源回路 1 0 2 b が直列に接続され、1 つのペアを形成する。この 2 つのペアが並列に接続されている。また、この 2 つの並列な回路は、発光素子 1 0 6 と直列に接続されている。

#### 【 0 0 7 0 】

図 2 に示す画素には 2 つのペアが設けられているが、以下、スイッチ部 1 0 1 a と電流源回路 1 0 2 a のペアに注目し、該電流源回路 1 0 2 a と該スイッチ部 1 0 1 a の構成について図 2 を用いて説明する。

#### 【 0 0 7 1 】

まず、電流源回路 1 0 2 a について、図 2 ( A ) を用いて説明する。図 2 ( A ) において、電流源回路 1 0 2 a は、円と円の中の矢印とによって示される。矢印の向きに正の電流が流れると定義する。また端子 A の電位は、端子 B の電位より高いと定義する。次いで、電流源回路 1 0 2 a の詳しい構成について、図 2 ( B ) を用いて説明する。電流源回路 1 0 2 a は、電流源トランジスタ 1 1 2、電流源容量 1 1 1 を有する。なお、電流源容量 1 1 1 は、電流源トランジスタ 1 1 2 のゲート容量等を用いることにより、省略することも可能である。ゲート容量とは、トランジスタのゲートとチャネルの間で形成される容量とする。電流源トランジスタ 1 1 2 のドレイン電流は、電流源回路 1 0 2 a の出力電流となる。電流源容量 1 1 1 は、電流源トランジスタ 1 1 2 のゲート電位を保持する。

#### 【 0 0 7 2 】

電流源トランジスタ 1 1 2 のソース端子およびドレイン端子の一方は、端子 A と電気的に接続され、もう一方は端子 B と電気的に接続される。また電流源トランジスタ 1 1 2 のゲート電極は、電流源容量 1 1 1 の一方の電極に電気的に接続されている。電流源容量 1 1 1 のもう一方の電極は、端子 A' に電気的に接続されている。なお、電流源回路 1 0 2 a を構成する電流源トランジスタ 1 1 2 は、Nチャネル型でも Pチャネル型でもよい。

#### 【 0 0 7 3 】

電流源トランジスタ 1 1 2 として Pチャネル型トランジスタを用いる場合には、そのソース端子は端子 A と電気的に接続され、ドレイン端子は端子 B と電気的に接続される。また、電流源トランジスタ 1 1 2 のゲートとソース間の電圧を保持させるため、端子 A' は、

電流源トランジスタ 112 のソース端子と電氣的に接続されることが望ましい。よって、端子 A' は端子 A と電氣的に接続されることが望ましい。

【 0074 】

一方、電流源トランジスタ 112 として N チャネル型トランジスタを用いる場合には、電流源トランジスタ 112 のドレイン端子は端子 A と電氣的に接続され、ソース端子は端子 B と電氣的に接続される。また、電流源トランジスタ 112 のゲートとソース間の電圧を保持させるため、端子 A' は、電流源トランジスタ 112 のソース端子と電氣的に接続されることが望ましい。よって、端子 A' は端子 B と電氣的に接続されることが望ましい。

【 0075 】

なお、電流源トランジスタ 112 として P チャネル型トランジスタを用いる場合も N チャネル型トランジスタを用いる場合も、端子 A' は、電流源トランジスタ 112 のゲート電極の電位を保持できる様に接続されていれば良い。よって、端子 A' は、少なくとも所定の期間は一定の電位に保たれた配線に接続されていてもよい。ここでいう一定の時間とは、電流源回路が電流を出力する期間、及び、電流源回路の出力する電流を定める制御電流が電流源回路に入力される期間である。

【 0076 】

なお実施の形態 1 では、電流源トランジスタ 112 として、P チャネル型トランジスタを用いる場合について説明する。

【 0077 】

続いて、スイッチ部 101a について、図 2 (A) を用いて説明する。スイッチ部 101a は、端子 C と端子 D を有する。デジタルの映像信号によって、端子 C と端子 D の間の導通・非導通状態が選択される。端子 C と端子 D の間の導通・非導通状態を選択することによって、発光素子 106 に流す電流を変化させる。ここで、スイッチ部 101a をオンするとは、端子 C と端子 D の間の導通状態を選択することをいう。スイッチ部 101a をオフするとは、端子 C と端子 D 間の非導通状態を選択することをいう。次いで、スイッチ部 101a の詳しい構成について、図 2 (C) を用いて説明する。スイッチ部 101a は、第 1 のスイッチ 181、第 2 のスイッチ 182 及び保持手段 183 を有する。

【 0078 】

図 2 (C) において、第 1 のスイッチ 181 は、制御端子 r と、端子 e と、端子 f とを有する。第 1 のスイッチ 181 では、制御端子 r に入力される信号によって、端子 e と端子 f の間における導通・非導通状態が選択される。ここで、端子 e と端子 f 間が導通状態となる場合は、第 1 のスイッチ 181 がオンすると呼ぶ。また、端子 e と端子 f 間が非導通状態となる場合は、第 1 のスイッチ 181 がオフすると呼ぶ。第 2 のスイッチ 182 についても同様である。

【 0079 】

前記第 1 のスイッチ 181 は、画素へのデジタルの映像信号の入力を制御する。つまり、走査線 G a の信号を第 1 のスイッチ 181 の制御端子 r に入力して、第 1 のスイッチ 181 のオン・オフが選択される。

【 0080 】

第 1 のスイッチ 181 がオンすると、映像信号入力線 S a から画素にデジタルの映像信号が入力される。画素に入力されたデジタルの映像信号は、保持手段 183 によって保持される。なお、保持手段 183 は、第 2 のスイッチ 182 を構成するトランジスタのゲート容量などを利用することにより、省略することが可能である。また、画素に入力されたデジタルの映像信号は、第 2 のスイッチ 182 の制御端子 r に入力される。こうして、第 2 のスイッチ 182 のオン・オフが選択される。第 2 のスイッチ 182 がオンすると、端子 C と端子 D 間が導通状態となり、電流源回路 102a から発光素子 106 に電流が供給される。第 1 のスイッチ 181 がオフした後も、保持手段 183 にはデジタルの映像信号が保持され続け、第 2 のスイッチ 182 はオン状態を維持する。

【 0081 】

次いで、発光素子 106 の構成について説明する。発光素子 106 は 2 つの電極（陽極お

よび陰極)を有する。発光素子106は、2つの電極間に流れる電流に応じた輝度で発光する。発光素子106の2つの電極のうち、一方は電源基準線(図示せず)に電氣的に接続される。電源基準線によって電位 $V_{com}$ が与えられている電極を対向電極106bと呼び、もう一方の電極を画素電極106aと呼ぶ。

#### 【0082】

発光素子として、エレクトロルミネッセンスを利用したEL素子が注目されている。EL素子は、陽極と、陰極と、陽極と陰極に間に挟まれたEL層とを有する構成である。陽極と陰極間に電圧を印加することによって、EL素子は発光する。EL層は有機物によって形成されていても良いし、無機物によって形成されていても良い。また、有機物と無機物の両方より形成されていてもよい。また、EL素子は1重項励起子からの発光(蛍光)を利用するものと、3重項励起子からの発光(燐光)を利用するものの一方、又は両方を含むものとする。

#### 【0083】

続いて、画素の構成要素の接続関係について図2(A)を用いて説明する。再び、スイッチ部101aと電流源回路102aのペアに注目する。端子Aは電源線Wに電氣的に接続され、端子Bは端子Cに電氣的に接続され、端子Dは発光素子106の画素電極106aに電氣的に接続される。発光素子には、画素電極106aから対向電極106bの方向に電流が流れる。画素電極106aは陽極であり、対向電極106bは陰極である。電源線Wの電位は、電位 $V_{com}$ より高く設定される。

#### 【0084】

なお画素の構成要素の接続関係は、図2(A)に図示した構成に限定されない。スイッチ部101aと電流源回路102aは直列に接続されていればよい。また、発光素子106の陽極と陰極が反転した構成であってもよい。つまり、画素電極106aが陰極、対向電極106bが陽極となった構成であってもよい。なお、端子Aから端子Bに正の電流が流れると定義したため、画素電極106aが陰極、対向電極106bが陽極となった構成では、端子Aと端子Bが入れ替わった構成となる。即ち、端子Aがスイッチ部101aの端子Cと電氣的に接続され、端子Bが電源線Wと電氣的に接続された構成となる。電源線Wの電位は、電位 $V_{com}$ より低く設定される。

#### 【0085】

なお本実施の形態では、各画素にはスイッチ部と電流源回路のペアが2つ設けられる。スイッチ部と電流源回路のペア各々の構成は上記のとおりであるが、これらのペア同士の接続は、次の点を考慮する必要がある。それは、電流源回路102aと電流源回路102bの各電流源回路から供給される電流の総和が発光素子に入力されるようにする点、つまり、スイッチ部と電流源回路のペア2つは互いに並列に接続され、更に発光素子と直列に接続される点である。なお、電流源回路102aの電流を流す方向と電流源回路102bの電流を流す方向とは、同じ方向であることが望ましい。つまり、電流源回路102aを流れる正の電流と電流源回路102bを流れる正の電流との加算が、発光素子に流れることが望ましい。このようにすると、画素においてデジタル/アナログ変換と同様の動作を行うことができる。

#### 【0086】

次いで、画素の動作の概要について説明する。デジタルの映像信号によって、端子Cと端子D間の導通・非導通状態が選択される。電流源回路は一定の電流を流すように設定されている。電流源回路から供給される電流は、端子Cと端子D間の導通状態となったスイッチ部を介して、発光素子に入力される。なお、1つのデジタルの映像信号は、1つのスイッチ部を制御する。従って、スイッチ部と電流源回路のペアが複数ある場合は、複数のスイッチ部各々に対応したデジタルの映像信号によって複数のスイッチ部が制御される。複数のスイッチ部のうち、どのスイッチ部がオンとなるかによって、発光素子に流れる電流値が異なる。こうして、発光素子に流れる電流を変化させて、階調を表現し、画像表示を行う。

#### 【0087】



続いて、上述の画素の動作についてより詳細に説明する。説明では、スイッチ部 101a と電流源回路 102a のペアを例に挙げ、その動作について説明する。

#### 【0088】

まず、スイッチ部 101a の動作について説明する。スイッチ部 101a には、走査線 G<sub>a</sub> から行選択信号が入力される。行選択信号は、画素にデジタルの映像信号を入力するタイミングを制御する信号である。また、走査線 G<sub>a</sub> が選択されているときに、デジタルの映像信号は映像信号入力線 S<sub>a</sub> から画素に入力される。つまりオン状態となった第 1 のスイッチ 181 を介して、デジタルの映像信号は第 2 のスイッチ 182 に入力される。第 2 のスイッチ 182 のオン又はオフ状態は、該デジタルの映像信号によって選択される。また、保持手段 183 によってデジタルの映像信号は保持されるため、第 2 のスイッチ 182 のオン又はオフ状態は維持される。

#### 【0089】

次いで電流源回路 102a の動作について説明する。特に、制御信号が入力された際の電流源回路 102a の動作について説明する。制御信号によって、電流源トランジスタ 112 のドレイン電流が定まる。電流源トランジスタ 112 のゲート電圧は電流源容量 111 によって保持される。電流源トランジスタ 112 は飽和領域で動作する。飽和領域で動作するトランジスタは、ゲート電圧が同じであれば、ドレイン・ソース間電圧が変わってもドレイン電流は一定に保たれる。従って、電流源トランジスタ 112 は一定の電流を出力する。このようにして、電流源回路 102a は制御信号によって定まる一定の電流を流す。電流源回路 102a の一定の出力電流は発光素子に入力される。一旦、画素の設定動作を行った後は、電流源容量 111 の放電に応じて画素の設定動作を繰り返す。

#### 【0090】

スイッチ部と電流源回路のペア複数の各々の動作は上記のとおりである。なお、本発明の表示装置において、画素の有するスイッチ部と電流源回路のペア複数の各々のスイッチ部に入力されるデジタルの映像信号は、同じでも異なってもよい。また、スイッチ部と電流源回路のペア複数の各々の電流源回路に入力される制御信号は同じでも異なってもよい。

#### 【0091】

##### (実施の形態 2)

本実施の形態では、本発明の表示装置において、画素の有するスイッチ部と電流源回路のペア複数の各々のスイッチ部の具体的な構成例を示す。また、そのスイッチ部を有する画素の動作について説明する。

#### 【0092】

スイッチ部の構成例を、図 3 に示す。スイッチ部 101 は、選択トランジスタ 301、駆動トランジスタ 302、消去トランジスタ 304 と、保持容量 303 とを有する。なお、保持容量 303 は、駆動トランジスタ 302 のゲート容量などを用いることにより省略することも可能である。スイッチ部 101 を構成するトランジスタは、単結晶トランジスタでも、多結晶トランジスタでも、非晶質トランジスタでもよい。また、SOI トランジスタでもよい。バイポーラトランジスタでもよい。有機物、例えばカーボンナノチューブを用いたトランジスタでもよい。

#### 【0093】

選択トランジスタ 301 のゲート電極は走査線 G に接続されている。選択トランジスタ 301 のソース端子とドレイン端子の一方は、映像信号入力線 S に接続されて、もう一方は駆動トランジスタ 302 のゲート電極に接続されている。駆動トランジスタ 302 のソース端子とドレイン端子の一方は、端子 C に接続され、もう一方は端子 D に接続されている。保持容量 303 の一方の電極は、駆動トランジスタ 302 のゲート電極に接続され、もう一方の電極は配線 W<sub>o</sub> に接続されている。なお保持容量 303 は駆動トランジスタ 302 のゲート電位を保持できればよい。よって、図 3 において保持容量 303 の電極のうち配線 W<sub>o</sub> に接続された電極は、配線 W<sub>o</sub> 以外の、少なくともある一定期間中は電圧が一定である配線に接続されていてもよい。消去トランジスタ 304 のゲート電極は、消



去用信号線RGに接続される。消去トランジスタ304のソース端子とドレイン端子の一方は、駆動トランジスタ302のゲート電極に接続され、もう一方は配線W<sub>0</sub>に接続されている。なお、消去トランジスタ304をオンすることによって、駆動トランジスタ302がオフすればよいので、配線W<sub>0</sub>以外に接続していてもよい。

#### 【0094】

次いで、このスイッチ部101の基本的な動作について、図3を参照して説明する。消去トランジスタ304が非導通の状態、走査線Gに入力される行選択信号によって選択トランジスタ301がオン状態となると、映像信号入力線Sよりデジタルの映像信号は駆動トランジスタ302のゲート電極に入力される。入力されたデジタルの映像信号の電圧は保持容量303において保持される。入力されたデジタルの映像信号によって、駆動トランジスタ302のオン・オフが選択され、スイッチ部101の端子Cと端子D間の導通・非導通状態が選択される。次に、消去トランジスタ304がオンになると、保持容量303に保持された電荷が放電され、駆動トランジスタ302はオフ状態となり、スイッチ部101の端子Cと端子D間は非導通状態となる。なお、上記動作において、選択トランジスタ301、駆動トランジスタ302、消去トランジスタ304は、単なるスイッチとして働く。よって、これらのトランジスタは、オン状態において線型領域で動作する。

#### 【0095】

なお、駆動トランジスタ302は、飽和領域で動作させてもよい。駆動トランジスタ302を飽和領域で動作させることによって、電流源トランジスタ112の飽和領域特性を補うことが可能である。ここで、飽和領域特性とは、ソース・ドレイン端子間電圧に対してドレイン電流が一定に保たれる特性を示すものとする。また、飽和領域特性を補うとは、飽和領域で動作する電流源トランジスタ112においても、ソース・ドレイン端子間電圧が増加するに従ってドレイン電流が増加してしまうのを抑制することを意味する。なお、上記効果を得るためには、駆動トランジスタ302と電流源トランジスタ112は同極性でなくてはならない。

#### 【0096】

上記の飽和領域特性を補う効果について以下に説明する。例えば、電流源トランジスタ112のソース・ドレイン端子間電圧が増加する場合に注目する。電流源トランジスタ112と駆動トランジスタ302は直列に接続されている。よって、電流源トランジスタ112のソース・ドレイン端子間電圧の変化によって、駆動トランジスタ302のソース端子の電位が変化する。電流源トランジスタ112のソース・ドレイン端子間電圧が増加すると、駆動トランジスタ302のソース・ゲート間電圧の絶対値は小さくなる。すると、駆動トランジスタ302のI-V曲線が変化する。この変化の方向は、ドレイン電流が減少する方向である。こうして、駆動トランジスタ302に直列に接続された電流源トランジスタ112のドレイン電流は減少する。同様に、電流源トランジスタのソース・ドレイン端子間電圧が減少すると、電流源トランジスタのドレイン電流は増加する。このようにして、電流源トランジスタを流れる電流を一定に保つような効果が得られる。

#### 【0097】

なお、スイッチ部と電流源回路のペア1つのスイッチ部に注目しその基本的な動作について説明したが、その他のスイッチ部の動作についても同様である。各画素がスイッチ部と電流源回路のペアを複数有する場合、それぞれのペアに応じて走査線及び映像信号入力線が設けられる。

#### 【0098】

次に、階調表示の手法について説明する。本発明の表示装置において階調の表現は、スイッチ部のオン・オフの制御により行なわれる。例えば、各画素の有する複数の電流源回路の出力する電流の大きさの比を $2^0:2^1:2^2:2^3:\dots$ とすることによって、D/A変換の役割を画素に持たせることが出来、多階調を表現することが可能となる。ここで、スイッチ部と電流源回路のペアが、1画素中に十分な数設けられれば、これらによる制御のみによって階調を十分に表現できる。その場合、後述する時間階調方式と組み合わせた動作を行う必要がないため、各スイッチ部に消去トランジスタを設けなくとも良い。

【 0 0 9 9 】

次いで、上記階調表示の手法と時間階調方式とを組み合わせ、更に多階調化する手法について、図 3 及び図 4 を用いて説明する。

【 0 1 0 0 】

図 4 に示すように、1 フレーム期間  $F$  を第 1 のサブフレーム期間  $SF_1$  ~ 第  $n$  ( $n$  は自然数) のサブフレーム期間  $SF_n$  に分割する。各サブフレーム期間において、各画素の走査線  $G$  が順に選択される。選択された走査線  $G$  に対応する画素では、映像信号入力線  $S$  よりデジタルの映像信号が入力される。ここで、表示装置が有する全ての画素にデジタルの映像信号を入力する期間をアドレス期間  $T_a$  と表記する。特に、第  $k$  ( $k$  は  $n$  以下の自然数) のサブフレーム期間に対応するアドレス期間を  $T_{a_k}$  と表記する。アドレス期間において入力されたデジタルの映像信号によって、各画素は発光状態または非発光状態となる。この期間を表示期間  $T_s$  と表記する。特に、第  $k$  のサブフレーム期間に対応する表示期間を  $T_{s_k}$  と表記する。図 4 中、第 1 のサブフレーム期間  $SF_1$  ~ 第  $k-1$  のサブフレーム期間  $SF_{k-1}$  それぞれにおいて、アドレス期間と表示期間が設けられている。

【 0 1 0 1 】

異なる画素行の走査線  $G$  を同時に選択しデジタルの映像信号の入力を行うことはできないため、アドレス期間を重複させることはできない。そこで以下の手法を用いることによって、アドレス期間を重複させずにアドレス期間よりも表示期間を短くすることが可能になる。

【 0 1 0 2 】

各画素にデジタルの映像信号が書き込まれ、所定の表示期間が経過した後、消去用信号線  $RG$  を順に選択する。消去用信号線を選択する信号を消去用信号と呼ぶ。消去用信号により消去トランジスタ 304 をオンにすると、各画素行を順に非発光状態にすることができ、このようにして全ての消去用信号線  $RG$  を選択し、全ての画素を非発光の状態にするまでの期間をリセット期間  $T_r$  と表記する。特に、第  $k$  のサブフレーム期間に対応するリセット期間を  $T_{r_k}$  と表記する。また、リセット期間  $T_r$  後画素が一律に非発光となる期間を、非表示期間  $T_{us}$  と表記する。特に、第  $k$  のサブフレーム期間に対応する非表示期間を  $T_{us_k}$  と表記する。上記リセット期間及び非表示期間を設けることによって、次のサブフレーム期間が始まる前に画素を非発光の状態とすることができ、こうして、アドレス期間より短い表示期間を設定することができる。図 4 では、第  $k$  のサブフレーム期間  $SF_k$  ~ 第  $n$  のサブフレーム期間  $SF_n$  においてリセット期間及び非表示期間を設け、アドレス期間より短い表示期間  $T_{s_k}$  ~  $T_{s_n}$  を設定している。ここで各サブフレーム期間の表示期間の長さは、適宜定めることが出来る。

【 0 1 0 3 】

こうして、1 フレーム期間を構成する各サブフレーム期間の表示期間の長さを設定する。このように、本発明の表示装置は、時間階調方式と組み合わせて多階調化を図ることができる。

【 0 1 0 4 】

次いで、図 3 に示したスイッチ部と、消去トランジスタ 304 の配置の仕方が異なる構成、及び消去トランジスタを設けない構成について説明する。図 3 と同じ部分は、同じ符号を用いて示し説明は省略する。

【 0 1 0 5 】

図 5 (A) にスイッチ部の一例を示す。図 5 (A) では、消去トランジスタ 304 を発光素子に電流を入力する経路上に直列に配置し、消去トランジスタ 304 をオフすることによって発光素子に電流が流れないようにする。なお、発光素子に電流を入力する経路上に直列であれば、消去トランジスタ 304 はどこに配置してもよい。消去トランジスタ 304 をオフ状態とすることによって、画素を一律に非発光の状態とすることが出来る。こうして、リセット期間及び非表示期間を設定することができる。なお図 5 (A) に示したような構成のスイッチ部の場合、画素が有するスイッチ部と電流源回路のペア複数の各々のスイッチ部に消去トランジスタ 304 を配置せず、まとめて配置することも出来る。こう

して、画素内のトランジスタの数を抑えることができる。図 3 5 に、スイッチ部と電流源回路のペア複数で消去トランジスタ 3 0 4 を共有している場合の画素の構成を示す。なおここでは、スイッチ部と電流源回路のペアを 2 つ有する画素を例に説明するが、これに限定されない。図 3 5 において、図 2 ( A ) 及び図 3 と同じ部分は同じ符号を用いて示す。なお、スイッチ部 1 0 1 a に対応する部分には、図 3 の符号の後に a をつけて表記する。また、スイッチ部 1 0 1 b に対応する部分には、図 3 の符号の後に b をつけて表記する。図 3 5 では、消去トランジスタ 3 0 4 をオフすることによって、電流源回路 1 0 2 a 及び電流源回路 1 0 2 b から出力される電流の両方を同時に遮断することができる。

#### 【 0 1 0 6 】

なお、複数のスイッチ部で共有した消去トランジスタ 3 0 4 は、電源線 W と電流源回路 1 0 2 a 及び 1 0 2 b とを接続する経路上に配置してもよい。つまり、電源線 W と電流源回路 1 0 2 a 及び 1 0 2 b とが、複数のスイッチ部で共有した消去トランジスタ 3 0 4 を介して接続されていてもよい。複数のスイッチ部で共有した消去トランジスタ 3 0 4 は、電流源回路 1 0 2 a 及び電流源回路 1 0 2 b から出力される電流の両方が同時に遮断される位置であれば、どこに設けてもよい。例えば、図 3 5 中経路 X の部分に消去トランジスタ 3 0 4 を配置しても良い。つまり、消去トランジスタ 3 0 4 によって、電源線 W と電流源回路 1 0 2 a の端子 A 及び電流源回路 1 0 2 b の端子 A との接続を選択する構成としてもよい。

#### 【 0 1 0 7 】

図 5 ( B ) に、スイッチ部の別の構成を示す。図 5 ( B ) では、消去トランジスタ 3 0 4 のソース・ドレイン端子間を介して駆動トランジスタ 3 0 2 のゲート電極に所定の電圧を印加し、駆動トランジスタをオフ状態とする手法である。この例では、消去トランジスタ 3 0 4 のソース端子またはドレイン端子の一方は、駆動トランジスタのゲート電極に接続され、もう一方は配線 W r に接続される。配線 W r の電位を適当に定める。こうして、消去トランジスタを介して配線 W r の電位がゲート電極に入力された駆動トランジスタは、オフ状態となるようにする。

#### 【 0 1 0 8 】

また、図 5 ( B ) に示す構成において、消去トランジスタ 3 0 4 の代わりに、ダイオードを用いてもよい。この構成を図 5 ( C ) に示す。配線 W r の電位を変化させる。こうして、ダイオード 3 0 4 0 の 2 つの電極のうち、駆動トランジスタ 3 0 2 のゲート電極に接続されていない側の電極の電位を変化させる。これによって、駆動トランジスタのゲート電圧を変化させ、駆動トランジスタをオフ状態とすることができる。なお、ダイオード 3 0 4 0 はダイオード接続（ゲート電極とドレイン端子を電氣的に接続）したトランジスタを用いてもよい。この際、トランジスタとしては N チャネル型トランジスタでも P チャネル型トランジスタでもよい。

#### 【 0 1 0 9 】

なお、配線 W r の代わりに、走査線 G を用いてもよい。図 5 ( D ) に、図 5 ( B ) において配線 W r の代わりに走査線 G を用いた構成を示す。ただしこの場合、走査線 G の電位を考慮して、選択トランジスタ 3 0 1 の極性に注意する必要がある。

#### 【 0 1 1 0 】

次いで、消去トランジスタを設けずに、リセット期間及び非表示期間を設ける手法について説明する。

#### 【 0 1 1 1 】

1 つ目の手法は、保持容量 3 0 3 において駆動トランジスタ 3 0 2 のゲート電極と接続されていない側の電極の電位を変化させることによって、駆動トランジスタ 3 0 2 を非導通状態とする手法である。この構成を図 6 ( A ) に示す。保持容量 3 0 3 において駆動トランジスタ 3 0 2 のゲート電極と接続されていない側の電極は、配線 W<sub>0</sub> に接続されている。配線 W<sub>0</sub> の信号を変化させ、保持容量 3 0 3 の一方の電極の電位を変化させる。すると保持容量に保持された電荷は保存されるため、保持容量 3 0 3 のもう一方の電極の電位も変化する。こうして、駆動トランジスタ 3 0 2 のゲート電極の電位を変化させて、駆

動トランジスタ 302 をオフ状態とすることが出来る。

#### 【 0 1 1 2 】

2 つ目の手法について説明する。1 本の走査線 G が選択される期間を前半と後半に分割する。前半（ゲート選択期間前半と表記）には、映像信号入力線 S にデジタルの映像信号を入力し、後半（ゲート選択期間後半と表記）には、映像信号入力線 S に消去用信号を入力することを特徴とする。本手法での消去用信号とは、駆動トランジスタ 302 のゲート電極に入力された際に、駆動トランジスタ 302 をオフ状態とするような信号であるとする。こうして、書き込み期間より短い表示期間を設定することが可能となる。以下、この 2 つ目の手法についてより詳細に説明する。

#### 【 0 1 1 3 】

まず、上記手法を用いる際の表示装置全体の構成について説明する。説明には、図 6 ( B ) を用いる。表示装置は、マトリクス状に配置された複数の画素を有する画素部 901 と、画素部 901 に信号を入力する映像信号入力線駆動回路 902 と、第 1 の走査線駆動回路 903 A と、第 2 の走査線駆動回路 903 B と、切り換え回路 904 A と、切り換え回路 904 B とを有する。画素部 901 の有する各画素は、図 6 ( A ) に示すようなスイッチ部 101 と電流源回路とを複数有している。ここで、第 1 の走査線駆動回路 903 A は、ゲート選択期間前半に各走査線 G に信号を出力する回路であるとする。また、第 2 の走査線駆動回路 903 B は、ゲート選択期間後半に各走査線 G に信号を出力する回路であるとする。切り換え回路 904 A と切り換え回路 904 B によって、第 1 の走査線駆動回路 903 A と各画素の走査線 G との接続または、第 2 の走査線駆動回路 903 B と各画素の走査線 G との接続が選択される。映像信号入力線駆動回路 902 は、ゲート選択期間前半では映像信号を出力する。一方、ゲート選択期間後半では、消去用信号を出力する。

#### 【 0 1 1 4 】

次いで、上記構成の表示装置の駆動方法について説明する。説明には、図 6 ( C ) のタイミングチャートを用いる。なお、図 4 と同じ部分は同じ符号を用いて示し、説明は省略する。図 6 ( C ) において、ゲート選択期間 991 は、ゲート選択期間前半 991 A とゲート選択期間後半 991 B に分割される。書き込み期間 T<sub>a</sub> に相当する 903 A において、第 1 の走査線駆動回路によって各走査線が選択され、デジタルの映像信号が入力される。リセット期間 T<sub>r</sub> に相当する 903 B において、第 2 の走査線駆動回路によって各走査線が選択され、消去用信号が入力される。こうして、アドレス期間 T<sub>a</sub> より短い表示期間 T<sub>s</sub> を設定することができる。

#### 【 0 1 1 5 】

なお、図 6 ( C ) ではゲート選択期間後半に消去用信号が入力されているが、そのかわりに次のサブフレーム期間のデジタルの映像信号を入力してもよい。

#### 【 0 1 1 6 】

3 つ目の手法について説明する。3 つ目の手法は、発光素子の対向電極の電位を変化させることによって、非表示期間を設ける手法である。つまり、表示期間は、対向電極の電位を電源線の電位との間に所定の電位差を有する様に設定する。一方、非表示期間では、対向電極の電位を電源線の電位とほぼ同じ電位に設定する。こうして、非表示期間では、画素に保持されたデジタルの映像信号に関わらず、画素を一律に非発光の状態とすることができる。なお、この手法では、非表示期間に全画素にデジタルの映像信号を入力する。即ち、非表示期間中にアドレス期間を設ける。

#### 【 0 1 1 7 】

上記構成のスイッチ部を有する画素において、各配線は共有することができる。こうして、画素の構成を簡単にし、また、画素の開口率を増大させることができる。以下に、各配線を共有する例について説明する。説明では、図 3 に示した構成を有するスイッチ部を、図 2 に示した画素に適用した構成において、配線を共有した例を用いる。なお以下の構成は、図 5 や図 6 に示した構成を有するスイッチ部に対しても、自由に適用することができる。

#### 【 0 1 1 8 】

10

20

30

40

50

以下、配線の共有について説明する。配線の共有の例を6つ挙げる。なお、説明には図7及び図8を用いる。図7及び図8において、図2及び図3と同じ部分は同じ符号を用いて示し、説明は省略する。

#### 【0119】

図7(A)に、複数のスイッチ部の配線 $W_{00}$ を共有した画素の構成を例示する。図7(B)に、配線 $W_{00}$ と電源線 $W$ を共有した画素の構成を例示する。図7(C)に、配線 $W_{00}$ のかわりに他の画素行の走査線を使用した画素の構成を例示する。図7(C)の構成は、映像信号の書き込みを行っていない間、走査線 $G_a$ 、 $G_b$ の電位が一定の電位に保たれることを利用している。図7(C)では、配線 $W_{00}$ のかわりに、1つ前の画素行の走査線 $G_{a-1}$ 及び $G_{b-1}$ を用いている。ただしこの場合、走査線 $G_a$ 、 $G_b$ の電位を考慮して、選択トランジスタ301の極性に注意する必要がある。図8(A)に、信号線 $R G_a$ と信号線 $R G_b$ を共有した画素の構成を例示する。これは、第1のスイッチ部及び第2のスイッチ部を、同時にオフさせてもよいためである。共有した信号線をまとめて $R G_a$ と表記する。図8(B)に、走査線 $G_a$ と走査線 $G_b$ を共有した画素の構成を例示する。共有した走査線をまとめて $G_a$ と表記する。図8(C)に、映像信号入力線 $S_a$ と映像信号入力線 $S_b$ を共有した画素の構成を例示する。共有した映像信号入力線をまとめて $S_a$ と表記する。

#### 【0120】

図7(A)～図7(C)と図8(A)～図8(C)を組み合わせることも可能である。なお、これに限定されず、画素を構成する各配線は適宜共有することができる。また、画素間の各配線を適宜共有することができる。

#### 【0121】

なお、本実施の形態は、実施の形態1と自由に組み合わせて実施することが可能である。

#### 【0122】

##### (実施の形態3)

本実施の形態では、本発明の表示装置の各画素が有する電流源回路の構成及び動作について詳細に説明する。

#### 【0123】

各画素が有するスイッチ部と電流源回路のペア複数のうち、1つのペアの電流源回路について注目し、構成を詳細に説明する。本実施の形態では、電流源回路の構成例を5つ挙げるが、電流源として動作する回路であれば別の構成例でもよい。なお、電流源回路を構成するトランジスタは、単結晶トランジスタでも、多結晶トランジスタでも、非晶質トランジスタでもよい。また、SOIトランジスタでもよい。バイポーラトランジスタでもよい。有機物、例えばカーボンナノチューブを用いたトランジスタでもよい。

#### 【0124】

まず第1の構成の電流源回路について図9(A)を用いて説明する。なお、図9(A)において、図2と同じ部分は同じ符号を用いて示す。

#### 【0125】

図9(A)に示した第1の構成の電流源回路は、電流源トランジスタ112と、該電流源トランジスタ112と対になってカレントミラー回路を構成するカレントトランジスタ1405とを有する。スイッチとして機能する電流入カトランジスタ1403、電流保持トランジスタ1404を有する。ここで、電流源トランジスタ112、カレントトランジスタ1405、電流入カトランジスタ1403、電流保持トランジスタ1404は、Pチャネル型でもNチャネル型でもよい。しかし、電流源トランジスタ112とカレントトランジスタ1405は、極性が揃っていることが望まれる。ここでは、電流源トランジスタ112とカレントトランジスタ1405は、Pチャネル型トランジスタの例を示す。また、電流源トランジスタ112とカレントトランジスタ1405の電流特性も揃っていることが望ましい。電流源トランジスタ112及びカレントトランジスタ1405のゲート電位を保持する電流源容量111を有する。なお、トランジスタのゲート容量等を積極的に用いることによって、電流源容量111を省略することも可能である。さらに、電流入カト

ランジスタ1403のゲート電極に信号を入力する信号線GN、電流保持トランジスタ1404のゲート電極に信号を入力する信号線GHを有する。また、制御信号が入力される電流線CLを有する。

#### 【0126】

これらの構成要素の接続関係を説明する。電流源トランジスタ112とカレントトランジスタ1405のゲート電極が接続されている。電流源トランジスタ112のソース端子は端子Aに接続され、ドレイン端子は端子Bに接続されている。電流源容量111の一方の電極は、電流源トランジスタ112のゲート電極に接続され、もう一方の電極は端子Aに接続されている。カレントトランジスタ1405のソース端子は端子Aに接続され、ドレイン端子は電流入カトランジスタ1403を介して電流線CLと接続されている。また、カレントトランジスタ1405のゲート電極とドレイン端子は、電流保持トランジスタ1404を介して接続されている。電流保持トランジスタ1404のソース端子またはドレイン端子は、電流源容量111及びカレントトランジスタ1405のドレイン端子と接続されている。しかし、電流保持トランジスタ1404のソース端子またはドレイン端子で電流源容量111と接続されていない側が、電流線CLに接続された構成であってもよい。この構成を図36に示す。なお図36において、図9(A)と同じ部分は同じ符号を用いて示す。この構成によって、電流保持トランジスタ1404がオフ状態のときに電流線CLの電位を調節することによって、電流保持トランジスタ1404のソース・ドレイン端子間電圧を小さくすることができる。その結果、電流保持トランジスタ1404のオフ電流を小さくすることができる。こうして、電流源容量111からの電荷の漏れを小さくすることができる。

#### 【0127】

また、図9(A)に示した電流源回路の構成において、電流源トランジスタ112とカレントトランジスタ1405をNチャネル型トランジスタとした場合の例を、図33(A)に示す。なお、図9(A)に示した構成の電流源回路に対して、図33(A)に示した構成の電流源回路では、電流源回路102の設定動作の際にカレントトランジスタ1405のソース・ドレイン間を介して電流線CLと端子A間を流れる電流を、電流源トランジスタ112のソース・ドレイン間や端子Bに流れないようにするため、トランジスタ1441、1442を設ける必要がある。また、表示動作において端子A・端子B間に一定の電流を流す際にカレントトランジスタ1405のソース・ドレイン間に電流が流れないようにするため、トランジスタ1443を設ける必要がある。こうして、電流源回路102は、所定の電流値の電流を正確に出力することができる。

#### 【0128】

また、図9(A)に示した構成の回路において、電流保持トランジスタ1404の配置を変え、図9(B)に示すような回路構成としてもよい。図9(B)では、カレントトランジスタ1405のゲート電極と電流源容量111の一方の電極とが、電流保持トランジスタ1404を介して接続される。このときカレントトランジスタ1405のゲート電極とドレイン端子とは配線によって接続されている。

#### 【0129】

次いで、上記第1の構成の電流源回路の設定動作について説明する。なお図9(A)と図9(B)ではその設定動作は同様である。ここでは図9(A)に示す回路を例にその設定動作について説明する。説明には図9(C)～図9(F)を用いる。第1の構成の電流源回路では、図9(C)～図9(F)の状態を順に経て設定動作が行われる。説明では簡単のため、電流入カトランジスタ1403及び電流保持トランジスタ1404をスイッチとして表記した。ここで、電流源回路102を設定する制御信号は制御電流である例を示す。また図において電流が流れる経路を太矢印で示す。

#### 【0130】

図9(C)に示す期間TD1において、電流入カトランジスタ1403および電流保持トランジスタ1404をオン状態とする。この段階ではカレントトランジスタ1405のソース・ゲート間電圧が小さく、カレントトランジスタ1405がオフしているので、電流

線CLより図示した経路より電流が流れて、電流源容量111に電荷が保持される。

【0131】

図9(D)に示す期間TD2において、電流源容量111に保持された電荷によってカレントトランジスタ1405のゲート・ソース間の電圧が閾値電圧以上となる。すると、カレントトランジスタ1405のソース・ドレイン端子間を介して電流が流れる。

【0132】

十分時間が経過し定常状態となると、図9(E)に示す期間TD3のように、カレントトランジスタ1405のソース・ドレイン端子間を流れる電流が、制御電流に定まる。こうして、制御電流をドレイン電流とする際のゲート電圧は電流源容量111に保持される。

【0133】

図9(F)に示す期間TD4において、電流保持トランジスタ1404及び電流入カトランジスタ1403がオフ状態となる。こうして、画素に制御電流が入力されなくなる。なお、電流保持トランジスタ1404をオフするタイミングは、電流入カトランジスタ1403をオフするタイミングに対して、早いかまたは同時であることが好ましい。これは、電流源容量111に保持された電荷を放電させないようにするためである。期間TD4の後、電流源トランジスタ112のソース・ドレイン端子間に電圧が印加されると、制御電流に対応したドレイン電流が流れる。つまり、端子Aと端子B間に電圧が印加されると、電流源回路102は、制御電流に対応した電流を出力する。

【0134】

ここで、電流源トランジスタ112のチャネル幅とチャネル長の比 $W1/L1$ を、カレントトランジスタ1405のチャネル幅とチャネル長の比 $W2/L2$ に対して変化させてもよい。こうして、画素に入力される制御電流に対して、電流源回路102が出力する電流の電流値を変化させることができる。例えば、電流源回路102が出力する電流に対して、画素に入力する制御電流が大きくなるように各トランジスタを設計する。こうして、大きな電流値の制御電流を用いて電流源回路102の設定動作を行う。その結果、電流源回路の設定動作を速くすることができる。また、ノイズの影響の低減に対しても有効である

【0135】

こうして、電流源回路102は所定の電流を出力する。

【0136】

なお、上記構成の電流源回路では、信号線GHに信号が入力され電流保持トランジスタがオン状態である場合に、電流線CLは常に一定電流を流すように設定されていなくてはならない。これは、電流線CLに電流が入力されていない期間に、電流保持トランジスタ1404及び電流入カトランジスタ1403が両方オン状態となると、電流源容量111に保持された電荷が放電してしまうためである。そのため、全ての画素に対応する複数の電流線CLに選択的に一定電流を入力し画素の設定動作を行う場合、つまり、電流線CLに一定の電流が常には入力されていない場合には、以下の構成の電流源回路を用いる。

【0137】

図9(A)や図9(B)において示した電流源回路において、電流源トランジスタ112のゲート電極とドレイン端子の接続を選択するためのスイッチング素子を追加する。このスイッチング素子は、信号線GHに入力される信号とは異なる信号によって、オン・オフが選択される。図33(B)に上記構成の一例を示す。図33(B)では、点順次トランジスタ1443及び点順次線CLPを設けている。こうして、任意の画素を1画素ずつ選択し、少なくとも、当該選択された画素の電流線CLには一定の電流が入力されるようにして、画素の設定動作を行う。

【0138】

第1の構成の電流源回路の各信号線は、共有することができる。例えば図9(A)や図9(B)及び図33に示す構成において、電流入カトランジスタ1403と電流保持トランジスタ1404は、同じタイミングでオン・オフが切りかえられれば動作上問題無い。そのため、電流入カトランジスタ1403と電流保持トランジスタ1404の極性を同じと

し、信号線GHと信号線GNを共有することができる。

【0139】

次いで、第2の構成の電流源回路について説明する。なお、説明には図10を参照する。図10(A)において、図2と同じ部分は同じ符号を用いて示す。

【0140】

第2の構成の電流源回路の構成要素について説明する。第2の構成の電流源回路は、電流源トランジスタ112を有する。また、スイッチとして機能する電流入力トランジスタ203、電流保持トランジスタ204、電流停止トランジスタ205を有する。ここで、電流源トランジスタ112、電流入力トランジスタ203、電流保持トランジスタ204、電流停止トランジスタ205は、Pチャネル型でもNチャネル型でもよい。ここでは、電流源トランジスタ112はPチャネル型トランジスタの例を示す。さらに、電流源トランジスタ112のゲート電位を保持する電流源容量111を有する。なお、トランジスタのゲート容量等を積極的に用いることによって、電流源容量111を省略することも可能である。また、電流停止トランジスタ205のゲート電極に信号を入力する信号線GSと、電流保持トランジスタ204のゲート電極に信号を入力する信号線GHと、電流入力トランジスタ203のゲート電極に信号を入力する信号線GNとを有する。また、制御電流を入力する電流線CLを有する。

【0141】

これらの構成要素の接続関係を説明する。電流源トランジスタ112のゲート電極は、電流源容量111の一方の電極に接続されている。電流源容量111のもう一方の電極は、端子Aに接続されている。電流源トランジスタ112のソース端子は端子Aに接続されている。電流源トランジスタ112のドレイン端子は、電流停止トランジスタ205を介して端子Bと接続され、また、電流入力トランジスタ203を介して電流線CLと接続されている。電流源トランジスタ112のゲート電極とドレイン端子は、電流保持トランジスタ204を介して接続されている。

【0142】

なお、図10(A)に示した構成において、電流保持トランジスタ204のソース端子またはドレイン端子は、電流源容量111及び電流源トランジスタ112のドレイン端子と接続されている。しかし、電流保持トランジスタ204の電流源容量111と接続されていない側が、電流線CLに接続された構成であっても良い。上記構成を、図34(A)に示す。この構成によって、電流保持トランジスタ204がオフ状態のときに電流線CLの電位を調節することによって、電流保持トランジスタ204のソース・ドレイン端子間電圧を小さくすることができる。その結果、電流保持トランジスタ204のオフ電流を小さくすることができる。こうして、電流源容量111からの電荷の漏れを小さくすることができる。

【0143】

次いで、図10(A)に示した第2の構成の電流源回路の設定方法について説明する。説明には図10(B)～図10(E)を用いる。第2の構成の電流源回路では、図10(B)～図10(E)の状態を順に経て設定動作が行われる。説明では簡単のため、電流入力トランジスタ203、電流保持トランジスタ204及び電流停止トランジスタ205をスイッチとして表記した。ここで、電流源回路102を設定する制御信号は制御電流である例を示す。また図において、電流が流れる経路を太矢印で示す。

【0144】

図10(B)に示す期間TD1において、電流入力トランジスタ203および電流保持トランジスタ204をオン状態とする。また、電流停止トランジスタ205はオフ状態である。こうして、電流線CLから図示した経路より電流が流れて、電流源容量111に電荷が保持される。

【0145】

図10(C)に示す期間TD2において、保持された電荷によって電流源トランジスタ112のゲート・ソース間電圧が閾値電圧以上となる。すると、電流源トランジスタ112



にドレイン電流が流れる。

【 0 1 4 6 】

十分時間が経過し定常状態となると、図 1 0 ( D ) に示す期間 T D 3 のように、電流源トランジスタ 1 1 2 のドレイン電流が制御電流に定まる。こうして、制御電流をドレイン電流とする際の電流源トランジスタ 1 1 2 のゲート電圧が、電流源容量 1 1 1 に保持される。

【 0 1 4 7 】

図 1 0 ( E ) に示す期間 T D 4 において、電流入力トランジスタ 2 0 3 および電流保持トランジスタ 2 0 4 がオフ状態となる。こうして、画素に制御電流が入力されなくなる。なお、電流保持トランジスタ 2 0 4 をオフするタイミングは、電流入力トランジスタ 2 0 3 をオフするタイミングに対して、早いまたは同時であることが好ましい。これは、電流源容量 1 1 1 に保持された電荷を放電させないようにするためである。更に、電流停止トランジスタ 2 0 5 がオン状態となる。期間 T D 4 の後、電流源トランジスタ 1 1 2 のソース・ドレイン端子間に電圧が印加されると、制御電流に対応したドレイン電流が流れる。つまり、端子 A と端子 B 間に電圧が印加されると、電流源回路 1 0 2 は、制御電流に対応したドレイン電流を流す。こうして、電流源回路 1 0 2 は所定の電流を出力する。

【 0 1 4 8 】

なお、電流停止トランジスタ 2 0 5 は必ずしも必要ない。例えば、端子 A または端子 B の少なくとも一方が開放状態にある時にのみ設定動作を行う場合は、電流停止トランジスタ 2 0 5 は必要ない。具体的には、ペアとなるスイッチ部がオフの状態の場合のみ設定動作を行う電流源回路では、電流停止トランジスタ 2 0 5 は必要ない。

【 0 1 4 9 】

また、上記構成の電流源回路では、信号線 G H に信号が入力され電流保持トランジスタ 2 0 4 がオン状態である場合に、電流線 C L は常に一定電流を流すように設定されていなくてはならない。これは、電流線 C L に電流が入力されていない期間に、電流保持トランジスタ 2 0 4 及び電流入力トランジスタ 2 0 3 が両方オン状態となると、電流源容量 1 1 1 に保持された電荷が放電してしまうためである。そのため、全ての画素に対応する複数の電流線 C L に選択的に一定電流を入力し画素の設定動作を行う場合には、つまり、電流線 C L に一定の電流が常には入力されていない場合には、以下の構成の電流源回路を用いる。

【 0 1 5 0 】

電流源トランジスタ 1 1 2 のゲート電極とドレイン端子の接続を選択するためのスイッチング素子を追加する。このスイッチング素子は、信号線 G H に入力される信号とは異なる信号によって、オン・オフが選択される。図 3 4 ( B ) に上記構成の一例を示す。図 3 4 ( B ) では、点順次トランジスタ 2 4 5 及び点順次線 C L P を設けている。こうして、任意の画素を 1 画素ずつ選択し、少なくとも、当該選択された画素の電流線 C L には一定の電流が入力されるようにして、画素の設定動作を行う。

【 0 1 5 1 】

第 2 の構成の電流源回路の各信号線は、共有することができる。例えば、電流入力トランジスタ 2 0 3 と電流保持トランジスタ 2 0 4 は、同じタイミングでオン・オフが切りかえられれば動作上問題無い。そのため、電流入力トランジスタ 2 0 3 と電流保持トランジスタ 2 0 4 の極性を同じとし、信号線 G H と信号線 G N を共有することができる。また、電流停止トランジスタ 2 0 5 は、電流入力トランジスタ 2 0 3 がオフになると同時に、オンになっても動作上問題ない。そのため、電流入力トランジスタ 2 0 3 と電流停止トランジスタ 2 0 5 の極性を異ならせ、信号線 G N と信号線 G S を共有することができる。

【 0 1 5 2 】

また、電流源トランジスタ 1 1 2 が N チャネル型トランジスタの場合の構成例を図 3 7 に示す。なお、図 1 0 と同じ部分は同じ符号を用いて示す。

【 0 1 5 3 】

次いで、第 3 の構成の電流源回路について説明する。なお、説明には図 1 1 を参照する。

図 1 1 ( A ) において、図 2 と同じ部分は同じ符号を用いて示す。

【 0 1 5 4 】

第 3 の構成の電流源回路の構成要素について説明する。第 3 の構成の電流源回路は、電流源トランジスタ 1 1 2 を有する。また、スイッチとして機能する電流入力トランジスタ 1 4 8 3、電流保持トランジスタ 1 4 8 4、発光トランジスタ 1 4 8 6、電流基準トランジスタ 1 4 8 8 を有する。ここで、電流源トランジスタ 1 1 2、電流入力トランジスタ 1 4 8 3、電流保持トランジスタ 1 4 8 4、発光トランジスタ 1 4 8 6、電流基準トランジスタ 1 4 8 8 は、P チャネル型でも N チャネル型でもよい。ここでは、電流源トランジスタ 1 1 2 は、P チャネル型トランジスタの例を示す。さらに、電流源トランジスタ 1 1 2 のゲート電位を保持する電流源容量 1 1 1 を有する。なお、トランジスタのゲート容量等を積極的に用いることによって、電流源容量 1 1 1 を省略することも可能である。また、電流入力トランジスタ 1 4 8 3 のゲート電極に信号を入力する信号線 G N、電流保持トランジスタ 1 4 8 4 のゲート電極に信号を入力する信号線 G H、発光トランジスタ 1 4 8 6 のゲート電極に信号を入力する信号線 G E、電流基準トランジスタ 1 4 8 8 のゲート電極に信号を入力する信号線 G C とを有する。さらに、制御信号が入力される電流線 C L と、一定の電位に保たれた電流基準線 S C L とを有する。

【 0 1 5 5 】

これらの構成要素の接続関係を説明する。電流源トランジスタ 1 1 2 のゲート電極とソース端子は、電流源容量 1 1 1 を介して接続されている。電流源トランジスタ 1 1 2 のソース端子は、発光トランジスタ 1 4 8 6 を介して端子 A と接続され、また、電流入力トランジスタ 1 4 8 3 を介して電流線 C L と接続されている。電流源トランジスタ 1 1 2 のゲート電極とドレイン端子は、電流保持トランジスタ 1 4 8 4 を介して接続されている。電流源トランジスタ 1 1 2 のドレイン端子は端子 B と接続され、また、電流基準トランジスタ 1 4 8 8 を介して電流基準線 S C L と接続されている。

【 0 1 5 6 】

なお、電流保持トランジスタ 1 4 8 4 のソース端子またはドレイン端子の電流源容量 1 1 1 と接続されていない側は、電流源トランジスタ 1 1 2 のドレイン端子と接続されているが、電流基準線 S C L に接続されていても良い。上記構成を、図 3 8 に示す。この構成によって、電流保持トランジスタ 1 4 8 4 がオフ状態のときに電流基準線 S C L の電位を調節することによって、電流保持トランジスタ 1 4 8 4 のソース・ドレイン端子間電圧を小さくすることができる。その結果、電流保持トランジスタ 1 4 8 4 のオフ電流を小さくすることができる。こうして、電流源容量 1 1 1 から漏れる電荷を小さくすることができる。

【 0 1 5 7 】

次いで、上記第 3 の構成の電流源回路の設定方法について説明する。説明には図 1 1 ( B ) ~ 図 1 1 ( E ) を用いる。第 3 の構成の電流源回路では、図 1 1 ( B ) ~ 図 1 1 ( E ) の状態を順に経て設定動作が行われる。説明では簡単のため、電流入力トランジスタ 1 4 8 3、電流保持トランジスタ 1 4 8 4、発光トランジスタ 1 4 8 6 及び電流基準トランジスタ 1 4 8 8 をスイッチとして表記した。ここで、電流源回路 1 0 2 を設定する制御信号は、制御電流である例を示す。また図において、電流が流れる経路を太矢印で示す。

【 0 1 5 8 】

図 1 1 ( B ) に示す期間 T D 1 において、電流入力トランジスタ 1 4 8 3、電流保持トランジスタ 1 4 8 4 及び電流基準トランジスタ 1 4 8 8 をオン状態とする。こうして、図示した経路より電流が流れて、電流源容量 1 1 1 に電荷が保持される。なお、発光トランジスタ 1 4 8 6 はオフ状態である。

【 0 1 5 9 】

図 1 1 ( C ) に示す期間 T D 2 において、電流源容量 1 1 1 に保持された電荷によって電流源トランジスタ 1 1 2 のゲート・ソース間電圧が閾値電圧以上となる。すると、電流源トランジスタ 1 1 2 にドレイン電流が流れる。

【 0 1 6 0 】

十分時間が経過し定常状態となると、図 11 (D) に示す期間 T D 3 のように、電流源トランジスタ 112 のドレイン電流が制御電流に定まる。こうして、制御電流をドレイン電流とする際のゲート電圧が、電流源容量 111 に保持される。

#### 【 0 1 6 1 】

図 11 (E) に示す期間 T D 4 において、電流入カトランジスタ 1483、電流保持トランジスタ 1484 がオフ状態となる。こうして、画素に制御電流が入力されなくなる。なお、電流保持トランジスタ 1484 をオフするタイミングは、電流入カトランジスタ 1483 をオフするタイミングに対して、早いかまたは同時であることが好ましい。これは、電流源容量 111 に保持された電荷を放電させないようにするためである。さらに、電流基準トランジスタ 1488 がオフ状態となる。その後、発光トランジスタ 1486 がオン状態となる。期間 T D 4 の後、電流源トランジスタ 112 のソース・ドレイン端子間に電圧が印加されると、電流源トランジスタ 112 には制御電流に対応したドレイン電流が流れる。つまり、端子 A と端子 B 間に電圧が印加されると、電流源回路 102 は制御電流に対応した電流を流す。こうして、電流源回路 102 は所定の電流を出力する。

#### 【 0 1 6 2 】

なお、電流基準トランジスタ 1488 及び電流基準線 SCL は必ずしも必要ない。例えば、ペアとなるスイッチ部がオンの状態の場合のみ設定動作を行う電流源回路では、期間 T D 1 ~ 期間 T D 3 において電流基準線 SCL に電流を流すのではなく端子 B に電流を流せばよいので、電流基準トランジスタ 1488 及び電流基準線 SCL は必要ない。

#### 【 0 1 6 3 】

第 3 の構成の電流源回路の各信号線は共有することができる。例えば、電流入カトランジスタ 1483 と電流保持トランジスタ 1484 は、同じタイミングでオン・オフが切り替えられれば動作上問題無い。そのため、電流入カトランジスタ 1483 と電流保持トランジスタ 1484 の極性を同じとし、信号線 GH と信号線 GN を共有することができる。また、電流基準トランジスタ 1488 と電流入カトランジスタ 1483 は、同じタイミングでオン・オフが切り替えられれば動作上問題無い。そのため、電流基準トランジスタ 1488 と電流入カトランジスタ 1483 の極性を同じとし、信号線 GN と信号線 GC を共有することができる。さらに、発光トランジスタ 1486 がオン状態となると同時に、電流入カトランジスタ 1483 がオフ状態となっても動作上問題ない。そこで、発光トランジスタ 1486 と電流入カトランジスタ 1483 の極性を異ならせ、信号線 GE と信号線 GN を共有することができる。

#### 【 0 1 6 4 】

また、電流源トランジスタ 112 が N チャネル型トランジスタの場合の構成例を図 39 (A) に示す。なお、図 11 と同じ部分は同じ符号を用いて示す。なお図 39 (A) の構成において、電流保持トランジスタ 1484 のソース端子またはドレイン端子の電流源容量 111 と接続されていない側は、電流源トランジスタ 112 のドレイン端子と接続されているが、電流線 CL に接続されていても良い。上記構成を、図 39 (B) に示す。この構成によって、電流保持トランジスタ 1484 がオフ状態のときに電流線 CL の電位を調節することによって、電流保持トランジスタ 1484 のソース・ドレイン端子間電圧を小さくすることができる。その結果、電流保持トランジスタ 1484 のオフ電流を小さくすることができる。こうして、電流源容量 111 からの電荷の漏れを小さくすることができる。

#### 【 0 1 6 5 】

次いで、第 4 の構成の電流源回路について説明する。なお、説明には図 12 を参照する。図 12 (A) において、図 2 と同じ部分は同じ符号を用いて示す。

#### 【 0 1 6 6 】

第 4 の構成の電流源回路の構成要素について説明する。第 4 の構成の電流源回路は、電流源トランジスタ 112 と電流停止トランジスタ 805 を有する。また、スイッチとして機能する電流入カトランジスタ 803、電流保持トランジスタ 804 を有する。ここで、電流源トランジスタ 112、電流停止トランジスタ 805、電流入カトランジスタ 803、

電流保持トランジスタ 804 は、Pチャネル型でも Nチャネル型でもよい。但し、電流源トランジスタ 112 と電流停止トランジスタ 805 は、同じ極性である必要がある。ここでは、電流源トランジスタ 112 及び電流停止トランジスタ 805 は、Pチャネル型トランジスタの例を示す。また、電流源トランジスタ 112 と電流停止トランジスタ 805 は、電流特性が等しいことが望まれる。さらに、電流源トランジスタ 112 のゲート電位を保持する電流源容量 111 を有する。なお、トランジスタのゲート容量等を積極的に用いることによって、電流源容量 111 を省略することも可能である。また、電流入力トランジスタ 803 のゲート電極に信号を入力する信号線 GN と、電流保持トランジスタ 804 のゲート電極に信号を入力する信号線 GH を有する。さらに、制御信号が入力される電流線 CL を有する。 10

#### 【0167】

これらの構成要素の接続関係を説明する。電流源トランジスタ 112 のソース端子は端子 A と接続されている。電流源トランジスタ 112 のゲート電極とソース端子は、電流源容量 111 を介して接続されている。電流源トランジスタ 112 のゲート電極は、電流停止トランジスタ 805 のゲート電極と接続され、また、電流保持トランジスタ 804 を介して電流線 CL と接続されている。電流源トランジスタ 112 のドレイン端子は、電流停止トランジスタ 805 のソース端子と接続され、また、電流入力トランジスタ 803 を介して、電流線 CL に接続されている。電流停止トランジスタ 805 のドレイン端子は、端子 B に接続されている。

#### 【0168】

なお、図 12 (A) において、電流保持トランジスタ 804 の配置を変え、図 12 (B) に示すような回路構成としてもよい。図 12 (B) では、電流保持トランジスタ 804 は、電流源トランジスタ 112 のゲート電極とドレイン端子の間に接続されている。 20

#### 【0169】

次いで、上記第 4 の構成の電流源回路の設定方法について説明する。なお図 12 (A) と図 12 (B) では、その設定動作は同様である。ここでは図 12 (A) に示す回路を例に、その設定動作について説明する。説明には図 12 (C) ~ 図 12 (F) を用いる。第 4 の構成の電流源回路では、図 12 (C) ~ 図 12 (F) S の状態を順に経て設定動作が行われる。説明では簡単のため、電流入力トランジスタ 803、電流保持トランジスタ 804 をスイッチとして表記した。ここで、電流源回路を設定する制御信号は、制御電流である例を示す。また図において、電流が流れる経路を太矢印で示す。 30

#### 【0170】

図 12 (C) に示す期間 TD1 において、電流入力トランジスタ 803 及び電流保持トランジスタ 804 をオン状態とする。なおこの際、電流停止トランジスタ 805 はオフ状態である。これは、オン状態となった電流保持トランジスタ 804 及び電流入力トランジスタ 803 によって、電流停止トランジスタ 805 のソース端子とゲート電極の電位が等しく保たれているためである。つまり、ソース・ゲート間電圧がゼロのときにオフ状態となるトランジスタを電流停止トランジスタ 805 に用いることで、期間 TD1 において電流停止トランジスタ 805 をオフ状態とする。こうして、図示した経路より電流が流れて、電流源容量 111 に電荷が保持される。 40

#### 【0171】

図 12 (D) に示す期間 TD2 において、保持された電荷によって電流源トランジスタ 112 のゲート・ソース間電圧が閾値電圧以上となる。すると、電流源トランジスタ 112 にドレイン電流が流れる。

#### 【0172】

十分時間が経過し定常状態となると、図 12 (E) に示す期間 TD3 のように、電流源トランジスタ 112 のドレイン電流が制御電流に定まる。こうして、制御電流をドレイン電流とする際の電流源トランジスタ 112 のゲート電圧が、電流源容量 111 に保持される。その後、電流保持トランジスタ 804 がオフ状態となる。すると、電流源容量 111 に保持された電荷が、電流停止トランジスタ 805 のゲート電極にも分配される。こうして 50

、電流保持トランジスタ 804 がオフ状態となると同時に、自動的に電流停止トランジスタ 805 がオン状態となる。

【0173】

図 12 (F) に示す期間 TD 4 において、電流入力トランジスタ 803 がオフ状態となる。こうして、画素に制御電流が入力されなくなる。なお、電流保持トランジスタ 804 をオフするタイミングは、電流入力トランジスタ 803 をオフするタイミングに対して、早いかまたは同時であることが好ましい。これは、電流源容量 111 に保持された電荷を放電させないようにするためである。期間 TD 4 の後、端子 A と端子 B の間に電圧が印加されている場合、電流源トランジスタ 112 及び電流停止トランジスタ 805 を介して、一定の電流が出力される。つまり、電流源回路 102 が一定の電流を出力する際は、電流源トランジスタ 112 と電流停止トランジスタ 805 が、1 つのマルチゲート型トランジスタのように機能する。そのため、入力する制御電流に対して、出力する一定電流の値を小さく設定することができる。従って、電流源回路の設定動作を速くすることができる。なお、電流停止トランジスタ 805 と電流源トランジスタ 112 の極性は同じとすることが望ましい。これは、第 4 の構成を有する各電流源回路 102 において、電流停止トランジスタ 805 と電流源トランジスタ 112 の特性が揃っていない場合、電流源回路の出力電流にばらつきを生じるためである。

【0174】

なお、第 4 の構成の電流源回路では、電流停止トランジスタ 805 だけではなく、制御電流が入力され、入力された制御電流を対応するゲート電圧に変換するトランジスタ（電流源トランジスタ 112）も用いて、電流源回路 102 から電流を出力している。一方、第 1 の構成の電流源回路では、制御電流が入力され、入力された制御電流を対応するゲート電圧に変換するトランジスタ（カレントトランジスタ）と、該ゲート電圧をドレイン電流に変換するトランジスタ（電流源トランジスタ）が全く別であった。よって、第 1 の構成よりは、第 4 の構成の方がトランジスタの電流特性ばらつきが電流源回路 102 の出力電流へ与える影響を低減することができる。

【0175】

第 4 の構成の電流源回路の各信号線は、共有することができる。例えば、電流入力トランジスタ 803 と電流保持トランジスタ 804 は、同じタイミングでオン・オフが切り替えられれば動作上問題無い。そのため、電流入力トランジスタ 803 と電流保持トランジスタ 804 の極性を同じとし、信号線 GH と信号線 GN を共有することができる。

【0176】

次いで、第 5 の構成の電流源回路について説明する。なお、説明には図 13 を参照する。図 13 (A) において、図 2 と同じ部分は同じ符号を用いて示す。

【0177】

第 5 の構成の電流源回路の構成要素について説明する。第 5 の構成の電流源回路は、電流源トランジスタ 112 と発光トランジスタ 886 を有する。また、スイッチとして機能する電流入力トランジスタ 883、電流保持トランジスタ 884、電流基準トランジスタ 888 を有する。ここで、電流源トランジスタ 112、発光トランジスタ 886、電流入力トランジスタ 883、電流保持トランジスタ 884、電流基準トランジスタ 888 は、P チャネル型でも N チャネル型でもよい。但し、電流源トランジスタ 112 と発光トランジスタ 886 は、同じ極性である必要がある。ここでは、電流源トランジスタ 112 及び発光トランジスタ 886 は、P チャネル型トランジスタの例を示す。また、電流源トランジスタ 112 と発光トランジスタ 886 は、電流特性が等しいことが望まれる。さらに、電流源トランジスタ 112 のゲート電位を保持する電流源容量 111 を有する。なお、トランジスタのゲート容量等を積極的に用いることによって、電流源容量 111 を省略することも可能である。また、電流入力トランジスタ 883 のゲート電極に信号を入力する信号線 GN と、電流保持トランジスタ 884 のゲート電極に信号を入力する信号線 GH を有する。更に、制御信号が入力される電流線 CL と、一定の電位に保たれる電流基準線 SCL

とを有する。

【 0 1 7 8 】

これらの構成要素の接続関係を説明する。電流源トランジスタ 1 1 2 のソース端子は端子 B に接続され、また、電流基準トランジスタ 8 8 8 を介して電流基準線 SCL に接続されている。電流源トランジスタ 1 1 2 のドレイン端子は、発光トランジスタ 8 8 6 のソース端子に接続され、また、電流入カトランジスタ 8 8 3 を介して電流線 CL に接続されている。電流源トランジスタ 1 1 2 のゲート電極とソース端子は、電流源容量 1 1 1 を介して接続されている。電流源トランジスタ 1 1 2 のゲート電極と発光トランジスタ 8 8 6 のゲート電極は接続され、電流保持トランジスタ 8 8 4 を介して電流線 CL と接続されている。発光トランジスタ 8 8 6 のドレイン端子は、端子 A に接続されている。

10

【 0 1 7 9 】

なお、図 1 3 ( A ) において、電流保持トランジスタ 8 8 4 の配置を変え、図 1 3 ( B ) に示すような回路構成としてもよい。図 1 3 ( B ) では、電流保持トランジスタ 8 8 4 は、電流源トランジスタ 1 1 2 のゲート電極とドレイン端子の間に接続されている。

【 0 1 8 0 】

次いで、上記第 5 の構成の電流源回路の設定方法について説明する。なお図 1 3 ( A ) と図 1 3 ( B ) では、その設定動作は同様である。ここでは図 1 3 ( A ) に示す回路を例に、その設定動作について説明する。説明には図 1 3 ( C ) ~ 図 1 3 ( F ) を用いる。第 5 の構成の電流源回路では、図 1 3 ( C ) ~ 図 1 3 ( F ) の状態を順に経て設定動作が行われる。説明では簡単のため、電流入カトランジスタ 8 8 3、電流保持トランジスタ 8 8 4、電流基準トランジスタ 8 8 8 をスイッチとして表記した。ここで、電流源回路を設定する制御信号は、制御電流である例を示す。また図において、電流が流れる経路を太矢印で示す。

20

【 0 1 8 1 】

図 1 3 ( C ) に示す期間 T D 1 において、電流入カトランジスタ 8 8 3、電流保持トランジスタ 8 8 4 及び電流基準トランジスタ 8 8 8 をオン状態とする。なお、この際発光トランジスタ 8 8 6 はオフ状態である。これは、オン状態となった電流保持トランジスタ 8 8 4 及び電流入カトランジスタ 8 8 3 によって、発光トランジスタ 8 8 6 のソース端子とゲート電極の電位が等しく保たれているためである。つまり、ソース・ゲート間電圧がゼロのときオフ状態となるトランジスタを発光トランジスタ 8 8 6 に用いることで、期間 T D 1 において発光トランジスタ 8 8 6 をオフ状態とする。こうして、図示した経路より電流が流れて、電流源容量 1 1 1 に電荷が保持される。

30

【 0 1 8 2 】

図 1 3 ( D ) に示す期間 T D 2 において、電流源容量 1 1 1 に保持された電荷によって電流源トランジスタ 1 1 2 のゲート・ソース間電圧が閾値電圧以上となる。すると、電流源トランジスタ 1 1 2 にドレイン電流が流れる。

【 0 1 8 3 】

十分時間が経過し定常状態となると、図 1 3 ( E ) に示す期間 T D 3 のように、電流源トランジスタ 1 1 2 のドレイン電流が制御電流に定まる。こうして、制御電流をドレイン電流とする際の電流源トランジスタ 1 1 2 のゲート電圧が、電流源容量 1 1 1 に保持される。その後、電流保持トランジスタ 8 8 4 はオフ状態となる。すると、電流源容量 1 1 1 に保持された電荷が、発光トランジスタ 8 8 6 のゲート電極にも分配される。こうして、電流保持トランジスタ 8 8 4 がオフ状態となると同時に、自動的に発光トランジスタ 8 8 6 がオン状態となる。

40

【 0 1 8 4 】

図 1 3 ( F ) に示す期間 T D 4 において、電流基準トランジスタ 8 8 8 及び電流入カトランジスタ 8 8 3 がオフ状態となる。こうして、画素に制御電流が入力されなくなる。なお、電流保持トランジスタ 8 8 4 をオフするタイミングは、電流入カトランジスタ 8 8 3 をオフするタイミングに対して、早いまたは同時であることが好ましい。これは、電流源容量 1 1 1 に保持された電荷を放電させないようにするためである。期間 T D 4 の後、端

50

子Aと端子Bの間に電圧が印加されると、電流源トランジスタ112及び発光トランジスタ886を介して、一定の電流が出力される。つまり、電流源回路102が一定の電流を出力する際は、電流源トランジスタ112と発光トランジスタ886が、1つのマルチゲート型トランジスタのように機能する。そのため、入力する制御電流に対して、出力する一定電流の値を小さく設定することができる。こうして、電流源回路の設定動作を速くすることができる。なお、発光トランジスタ886と電流源トランジスタ112の極性は同じとする必要がある。また、発光トランジスタ886と電流源トランジスタ112の電流特性は同じとすることが望ましい。これは、第5の構成を有する各電流源回路102において、発光トランジスタ886と電流源トランジスタ112の特性が揃っていない場合、出力電流にばらつきを生じるためである。

10

## 【0185】

なお、第5の構成の電流源回路では、制御電流が入力され、入力された制御電流を対応するゲート電圧に変換するトランジスタ（電流源トランジスタ112）も用いて、電流源回路102からの電流を出力している。一方、第1の構成の電流源回路では、制御電流が入力され、入力された制御電流を対応するゲート電圧に変換するトランジスタ（カレントトランジスタ）と、該ゲート電圧をドレイン電流に変換するトランジスタ（電流源トランジスタ）が全く別であった。よって、第1の構成よりは、トランジスタの電流特性ばらつきが電流源回路102の出力電流へ与える影響を低減することができる。

## 【0186】

なお、設定動作の際の期間TD1～期間TD3において端子Bに電流を流す場合は、電流基準線SCL及び電流基準トランジスタ888は必要ない。

## 【0187】

第5の構成の電流源回路の各信号線は、共有することができる。例えば、電流入力トランジスタ883と電流保持トランジスタ884は、同じタイミングでオン・オフが切りかえられれば動作上問題無い。そのため、電流入力トランジスタ883と電流保持トランジスタ884の極性を同じとし、信号線GHと信号線GNを共有することができる。また、電流基準トランジスタ888と電流入力トランジスタ883は、同じタイミングでオン・オフが切りかえられれば動作上問題無い。そのため、電流基準トランジスタ888と電流入力トランジスタ883の極性を同じとし、信号線GNと信号線GCを共有することができる。

30

## 【0188】

次いで、上述した第1の構成乃至第5の構成の電流源回路を、特徴毎にもう少し大きな枠組みでまとめる。

## 【0189】

上述の5つの電流源回路は、大きく分けて、カレントミラー型の電流源回路と、同一トランジスタ型の電流源回路と、マルチゲート型の電流源回路に分類される。これらについて、以下に説明する。

## 【0190】

カレントミラー型の電流源回路としては、第1の構成の電流源回路が挙げられる。カレントミラー型の電流源回路において、発光素子に入力される信号は、画素に入力される制御電流を所定の倍率で増減した電流である。そのため、制御電流をある程度大きく設定することが可能となる。よって、各画素の電流源回路の設定動作を早く行うことが可能である。しかし、電流源回路の有するカレントミラー回路を構成する一対のトランジスタの電流特性が異なると、画像表示がばらつく問題がある。

## 【0191】

同一トランジスタ型の電流源回路としては、第2の構成及び第3の構成の電流源回路が挙げられる。同一トランジスタ型の電流源回路において、発光素子に入力される信号は、画素に入力される制御電流の電流値と等しい。ここで、同一トランジスタ型の電流源回路では、制御電流が入力されるトランジスタと、発光素子に電流を出力するトランジスタが同一である。そのため、トランジスタの電流特性のばらつきによる画像むらは低減される。

50

## 【 0 1 9 2 】

マルチゲート型の電流源回路としては、第 4 の構成及び第 5 の構成の電流源回路が挙げられる。マルチゲート型の電流源回路において、発光素子に入力される信号は、画素に入力される制御電流を所定の倍率で増減した電流である。そのため、制御電流をある程度大きく設定することが可能となる。よって、各画素の電流源回路の設定動作を早く行うことが可能である。また、制御電流が入力されるトランジスタと、発光素子に電流を出力するトランジスタの一部を共有している。そのため、トランジスタの電流特性のばらつきによる画像むらは、カレントミラー型の電流源回路と比較して低減される。

## 【 0 1 9 3 】

次いで、上述した 3 つの分類の電流源回路それぞれにおいて、その設定動作と、ペアとなるスイッチ部の動作との関連について説明する。

## 【 0 1 9 4 】

カレントミラー型の電流源回路の場合の設定動作と、対応するスイッチ部の動作との関連を以下に示す。カレントミラー方式の電流源回路の場合、制御電流が入力されている間も、所定の一定電流を出力することができる。そのため、ペアとなるスイッチ部の動作と電流源回路の設定動作を同期させて行う必要がない。

## 【 0 1 9 5 】

同一トランジスタ型の電流源回路の場合の設定動作と、対応するスイッチ部の動作との関連を以下に示す。同一トランジスタ型の電流源回路の場合、制御電流が入力される間は、一定電流を出力することができない。そのため、ペアとなるスイッチ部の動作と電流源回路 20 の設定動作を同期させて行う必要が生じる。例えば、スイッチ部がオフの状態にのみ、電流源回路の設定動作を行うことが可能である。

## 【 0 1 9 6 】

マルチゲート型の電流源回路の場合の設定動作と、対応するスイッチ部の動作との関連を以下に示す。マルチゲート型の電流源回路の場合、制御電流が入力される間は、一定電流を出力することができない。そのため、ペアとなるスイッチ部の動作と電流源回路の設定動作を同期させて行う必要が生じる。例えば、スイッチ部がオフの状態にのみ、電流源回路の設定動作を行うことが可能である。

## 【 0 1 9 7 】

次いで、電流源回路の設定動作とペアとなるスイッチ部の動作とを同期させる場合に、時 30 間階調方式と組み合わせる際の動作について詳細に説明する。

## 【 0 1 9 8 】

ここでは、スイッチ部がオフ状態の場合のみ、電流源回路の設定動作を行う場合に注目する。なお、時間階調方式の詳細な説明については、実施の形態 2 に示した手法と同様であるので、ここでは説明は省略する。時間階調方式を用いる場合、スイッチ部が常にオフ状態となるのは非表示期間である。よって、非表示期間において、電流源回路の設定動作を行うことができる。

## 【 0 1 9 9 】

非表示期間は、リセット期間において各画素行を順に選択することによって始まる。ここで、走査線を順に選択する周波数と同じ周波数で、各画素行の設定動作を行うことができ 40 る。例えば、図 3 に示した構成のスイッチ部を用いる場合に注目する。走査線 G や消去用信号線 R G を順に選択する周波数と同じ周波数で、各画素行を選択し電流源回路の設定動作を行うことができる。

## 【 0 2 0 0 】

ただし、1 行分の選択期間の長さでは、電流源回路の設定動作を十分に行うことが難しい場合がある。そのときは、複数行分の選択期間を用いて、ゆっくりと電流源回路の設定動作を行ってもよい。ゆっくりと電流源回路の設定動作を行うとは、電流源回路が有する電流源容量に、所定の電荷を蓄積する動作を長い時間をかけてゆっくりと行うことを示すものとする。

## 【 0 2 0 1 】



このように、複数行分の選択期間を用いて、且つ、リセット期間での消去用信号線 R G 等を選択する周波数と同じ周波数を用いて、各行を選択していくため、行をとびとびに選択していくことになる。よって、全ての行の画素の設定動作を行うためには、複数の非表示期間において設定動作を行う必要がある。

#### 【 0 2 0 2 】

次いで、上記手法を用いる際の表示装置の構成及び駆動方法について詳細に説明する。まず、複数本の走査線が選択される期間と同じ長さの期間を用いて、1 行の画素の設定動作を行う駆動方法について説明する。説明には、図 1 4 を用いる。図では例として、10 本の走査線が選択される期間に、1 行の画素の設定動作を行うタイミングチャートを示した

10

#### 【 0 2 0 3 】

図 1 4 (A) に、各フレーム期間における各行の動作を示す。なお、実施の形態 2 において図 4 で示したタイミングチャートと同じ部分は、同じ符号を用いて示し説明は省略する。ここでは、1 フレーム期間を 3 つのサブフレーム期間  $S F_1 \sim S F_3$  に分割した例を示した。なお、サブフレーム期間  $S F_2$  及び  $S F_3$  においてそれぞれ、非表示期間  $T u s$  が設けられる構成とする。非表示期間  $T u s$  中に、画素の設定動作が行われる (図中期間 A 及び期間 B)。

#### 【 0 2 0 4 】

次いで、期間 A 及び期間 B の動作について、詳細に説明する。説明には、図 1 4 (B) を用いる。なお図中では、画素の設定動作を行う期間を、信号線 G N が選択される期間で示した。一般に、 $i$  ( $i$  は自然数) 行目の画素の信号線 G N を  $G N_i$  で示した。まず、第 1 のフレーム期間  $F_1$  の期間 A において、 $G N_1$ 、 $G N_{11}$ 、 $G N_{21}$ 、…ととびとびに選択される。こうして、1 行目、11 行目、21 行目、…の画素の設定動作が行われる (期間 1)。次いで、第 1 のフレーム期間  $F_1$  の期間 B において、 $G N_2$ 、 $G N_{12}$ 、 $G N_{22}$ 、…が選択される。こうして、2 行目、12 行目、22 行目、…の画素の設定動作が行われる (期間 2)。上記動作を 5 フレーム期間繰り返すことによって、全ての画素の設定動作が一通り行われる。

#### 【 0 2 0 5 】

ここで、1 行の画素の設定動作に用いることができる期間を  $T c$  と表記する。上記駆動方法を用いる場合、 $T c$  を走査線 G の選択期間の 10 倍に設定することが可能である。こうして、1 画素あたりの設定動作に用いる時間を長くすることができる。また、効率良く、正確に、画素の設定動作を行うことができる。

#### 【 0 2 0 6 】

なお、一通りの設定動作では十分でない場合に、上記動作を複数回繰り返し、徐々に画素の設定動作を行っても良い。

#### 【 0 2 0 7 】

次いで、上記駆動方法を用いる際の駆動回路の構成について、図 1 5 を用いて説明する。なお、図 1 5 では信号線 G N に信号を入力する駆動回路を示した。しかし、電流源回路が有するその他の信号線に入力される信号についても同様である。画素の設定動作を行うための駆動回路の構成例を 2 つ挙げる。

40

#### 【 0 2 0 8 】

第 1 の例は、シフトレジスタの出力を切り替え信号によって切り替え、信号線 G N に出力する構成の駆動回路である。この駆動回路 (設定動作用駆動回路) の構成の例を、図 1 5 (A) に示す。設定動作用駆動回路 5801 は、シフトレジスタ 5802 と、AND 回路と、インバータ回路 (INV) 等によって構成される。なおここでは、シフトレジスタ 5802 のパルス出力期間の 4 倍の期間、1 本の信号線 G N を選択する構成の駆動回路を例に示した。

#### 【 0 2 0 9 】

設定動作用駆動回路 5801 の動作について説明する。シフトレジスタ 5802 の出力は、切り替え信号 5803 によって選択され、AND 回路を介して信号線 G N に出力される

50

## 【 0 2 1 0 】

第 2 の例は、シフトレジスタの出力により、特定の行を選択する信号をラッチする構成の駆動回路である。この駆動回路（設定動作駆動回路）の構成の例を図 1 5 （B）に示す。設定動作駆動回路 5 8 1 1 は、シフトレジスタ 5 8 1 2 と、ラッチ 1 回路 5 8 1 3 と、ラッチ 2 回路 5 8 1 4 とを有する。

## 【 0 2 1 1 】

設定動作駆動回路 5 8 1 1 の動作について説明する。シフトレジスタ 5 8 1 2 の出力により、ラッチ 1 回路 5 8 1 3 は行選択信号 5 8 1 5 を順に保持する。ここで、行選択信号 5 8 1 5 は、シフトレジスタ 5 8 1 2 の出力のうち任意の出力を選択する信号である。ラ 10  
ッチ 1 回路 5 8 1 3 に保持された信号は、ラッチ信号 5 8 1 6 によってラッチ 2 回路 5 8 1 4 に転送される。こうして、特定の信号線 G N に信号が入力される。

## 【 0 2 1 2 】

なお、表示期間中であっても、カレントミラー型の電流源回路の場合は、設定動作を行うことができる。また、同一トランジスタ型の電流源回路やマルチゲート型の電流源回路でも、表示期間を一旦中断して、電流源回路の設定動作を行い、その後、表示期間を再開するような駆動方法を用いても良い。

## 【 0 2 1 3 】

本実施の形態は、実施の形態 1 及び実施の形態 2 と自由に組み合わせて実施することが可能である。 20

## 【 0 2 1 4 】

## （実施の形態 4）

本実施の形態では、各画素の構成と動作について説明する。なお、各画素がスイッチ部と電流源回路のペアを 2 つ有する場合を例にする。そして、この 2 つのペアの 2 つの電流源回路の構成を、実施の形態 3 に示した 5 つの電流源回路の構成から選択し組み合わせる場合を例に説明する。

## 【 0 2 1 5 】

第 1 の組み合わせ例を示す。第 1 の組み合わせ例では、画素が有する 2 つの電流源回路（第 1 の電流源回路と第 2 の電流源回路）はどちらも、図 9 （A）に示した第 1 の構成の電流源回路である。なお、これら電流源回路の構成は、実施の形態 3 と同様であるので、詳 30  
細な説明は省略する。

## 【 0 2 1 6 】

図 1 6 に、第 1 の組み合わせ例の画素の構成を示す。なお、図 1 6 において図 9 （A）と同じ部分は同じ符号を用いて示す。なお、第 1 の電流源回路に対応する部分は、図 9 （A）の符号の後に a を付けて示した。また、第 2 の電流源回路に対応する部分は、図 9 （A）の符号の後に b を付けて示した。また、各画素の有するスイッチ部と電流源回路のペア 2 つのスイッチ部（第 1 のスイッチ部及び第 2 のスイッチ部）の構成は、実施の形態 2 を参照し、ここでは説明は省略する。

## 【 0 2 1 7 】

第 1 の電流源回路 1 0 2 a と第 2 の電流源回路 1 0 2 b で、配線や素子を共有することができる。例えば、カレントトランジスタ 1 4 0 5 a と 1 4 0 5 b を共有し、また、電流源容量 1 1 1 a と 1 1 1 b を共有することができる。この構成例を図 1 7 （A）に示す。なお、異なる画素間で、カレントトランジスタや電流源容量を共有することも可能である。また、信号線を共有することができる。例えば、信号線 G N a と信号線 G N b を共有することができる。また、信号線 G H a と信号線 G H b を共有することができる。この構成を図 1 7 （B）に示す。または、電流線 C L a と電流線 C L b を共有することができる。この構成を図 1 7 （C）に示す。なお、図 1 7 （A）～図 1 7 （C）の構成は自由に組み合わせることができる。

## 【 0 2 1 8 】

電流源回路 1 0 2 a と 1 0 2 b それぞれの設定の仕方は、実施の形態 3 と同様である。電 50

流源回路 102a と 102b は、カレントミラー型の電流源回路である。よって、その設定動作は、スイッチ部の動作とは非同期に行うことができる。

#### 【0219】

本実施の形態は、実施の形態 1 乃至実施の形態 3 と自由に組み合わせて実施することが可能である。

#### 【0220】

##### (実施の形態 5)

本実施の形態では、各画素の構成と動作について説明する。なお、各画素がスイッチ部と電流源回路のペア 2 つを有する場合を例にする。そして、2 つのペアの 2 つの電流源回路の構成を、実施の形態 3 に示した 5 つの電流源回路の構成から選択し組み合わせる場合を例に説明する。

#### 【0221】

なお、実施の形態 4 に示した第 1 の組み合わせ例とは異なる、第 2 の組み合わせ例について説明する。第 2 の組み合わせ例では、画素が有する 2 つの電流源回路のうちの 1 つ（第 1 の電流源回路）は、図 9 (A) に示した第 1 の構成の電流源回路である。もう 1 つの電流源回路（第 2 の電流源回路）は、図 10 (A) に示した第 2 の構成の電流源回路である。なお、これら電流源回路の構成は、実施の形態 3 と同様であるので、詳細な説明は省略する。

#### 【0222】

図 18 に、第 2 の組み合わせ例の画素の構成を示す。なお、図 18 において図 9 (A) 及び図 10 (A) と同じ部分は同じ符号を用いて示す。なお、第 1 の電流源回路に対応する部分は、図 9 (A) の符号の後に a を付けて示した。また、第 2 の電流源回路に対応する部分は、図 10 (A) の符号の後に b を付けて示した。また、各画素の有するスイッチ部と電流源回路のペア 2 つのスイッチ部（第 1 のスイッチ部及び第 2 のスイッチ部）の構成は、実施の形態 2 を参照することができるので、ここでは説明は省略する。

#### 【0223】

ここで、第 1 の電流源回路 102a と第 2 の電流源回路 102b で、配線や素子を共有することができる。例えば、第 1 の電流源回路 102a と第 2 の電流源回路 102b で電流源容量 111 を共有することができる。この構成を、図 40 に示す。なお、図 18 と同じ部分は同じ符号を用いて示す。また例えば、異なる画素間で、カレントトランジスタを共有することも可能である。また、信号線を共有することができる。また例えば、信号線 GNa と信号線 GNb を共有することができる。また、信号線 GHa と信号線 GHb を共有することができる。この構成を図 19 (A) に示す。また、電流線 CLa と電流線 CLb を共有することができる。この構成を図 19 (B) に示す。また、電流線 CLb の代わりに、信号線 Sb を用いることができる。この構成を図 19 (C) に示す。なお、図 40、図 19 (A) ~ 図 19 (C) の構成は自由に組み合わせることができる。

#### 【0224】

電流源回路 102a と 102b それぞれの設定の仕方は、実施の形態 3 と同様である。電流源回路 102a は、カレントミラー型の電流源回路である。よって、その設定動作は、スイッチ部の動作とは非同期に行うことができる。一方、電流源回路 102b は、同トランジスタ型の電流源回路である。よって、その設定動作は、スイッチ部の動作と同期させて行うことが望ましい。

#### 【0225】

本実施の形態の画素構成において、各画素の同トランジスタ型の電流源回路、及びカレントミラー型の電流源回路それぞれが出力する電流の電流値を異ならせる場合、同トランジスタ型の電流源回路の出力電流の電流値をカレントミラー型の電流源回路の出力電流の電流値と比較して、大きく設定するのが望ましい。その理由を以下に説明する。

#### 【0226】

実施の形態 3 において説明したように、同トランジスタ型の電流源回路では出力電流との電流値の等しい制御電流を入力する必要があるが、カレントミラー型の電流源回路では

出力電流の電流値に対して大きい電流値の制御電流を入力することが可能である。大きい電流値の制御電流を用いることによって、速く、また、ノイズの影響等を受けにくいように正確に、電流源回路の設定動作が可能である。そのため、仮に同じ電流値の出力電流を設定した場合、カレントミラー型の電流源回路よりも同一トランジスタ型の電流源回路の方が、電流源回路の設定動作が遅くなる。そこで、同一トランジスタ型の電流源回路では、カレントミラー型の電流源回路よりも出力電流の電流値を大きくして、制御電流の電流値を大きくし、速く且つ正確に電流源回路の設定動作をすることが望ましい。

#### 【 0 2 2 7 】

また実施の形態 3 において説明したように、カレントミラー型の電流源回路は、同一トランジスタ型の電流源回路と比較して、出力電流のばらつきが大きい。電流源回路の出力電流は、その電流値が大きいほど、ばらつきの影響が大きく現れる。そのため、仮に同じ電流値の出力電流を設定した場合、同一トランジスタ型の電流源回路よりもカレントミラー型の電流源回路の方が、出力電流のばらつきが大きくなる。そこで、カレントミラー型の電流源回路では、同一トランジスタ型の電流源回路よりも出力電流の電流値を小さくして、出力電流のばらつきを小さくすることが望ましい。

#### 【 0 2 2 8 】

以上により、本実施の形態の画素構成において、各画素の同一トランジスタ型の電流源回路、及びカレントミラー型の電流源回路それぞれが出力する電流の電流値を異ならせる場合、同一トランジスタ型の電流源回路の出力電流の電流値をカレントミラー型の電流源回路の出力電流の電流値と比較して、大きく設定するのが望ましい。

#### 【 0 2 2 9 】

また、図 40 の画素構成を用いる場合は、電流源回路 102a の出力電流は、電流源回路 102b の出力電流よりも大きく設定するのが望ましい。こうして、設定動作を行う電流源回路 102a の出力電流を大きくして、速く設定動作を行うことができる。また、制御電流が入力されるトランジスタと異なるトランジスタ 112b のドレイン電流を出力電流とする電流源回路 102b では、出力電流を小さく設定することによってばらつきの影響を小さくすることができる。

#### 【 0 2 3 0 】

本実施の形態は、実施の形態 1 乃至実施の形態 3 と自由に組み合わせて実施することが可能である。

#### 【 0 2 3 1 】

##### ( 実施の形態 6 )

本実施の形態では、各画素の構成と動作について説明する。なお、各画素がスイッチ部と電流源回路のペア 2 つを有する場合を例にする。そして、この 2 つのペアの 2 つの電流源回路の構成を、実施の形態 3 に示した 5 つの電流源回路の構成から選択し組み合わせる場合を例に説明する。

#### 【 0 2 3 2 】

なお、実施の形態 4 及び実施の形態 5 に示した第 1 の組み合わせ例及び第 2 の組み合わせ例とは異なる、第 3 の組み合わせ例について説明する。第 3 の組み合わせ例では、画素が有する 2 つの電流源回路のうちの 1 つ（第 1 の電流源回路）は、図 9 (A) に示した第 1 の構成の電流源回路である。もう 1 つの電流源回路（第 2 の電流源回路）は、図 11 (A) に示した第 3 の構成の電流源回路である。なお、これら電流源回路の構成は、実施の形態 3 と同様であるので、詳細な説明は省略する。

#### 【 0 2 3 3 】

図 20 に、第 3 の組み合わせ例の画素の構成を示す。なお、図 20 において図 9 (A) 及び図 11 (A) と同じ部分は同じ符号を用いて示す。なお、第 1 の電流源回路に対応する部分は、図 9 (A) の符号の後に a を付けて示した。また、第 2 の電流源回路に対応する部分は、図 11 (A) の符号の後に b を付けて示した。また、各画素の有するスイッチ部と電流源回路のペア 2 つのスイッチ部（第 1 のスイッチ部及び第 2 のスイッチ部）の構成は、実施の形態 2 を参照し、ここでは説明は省略する。

## 【 0 2 3 4 】

ここで、第1の電流源回路102aと第2の電流源回路102bで、配線や素子を共有することができる。例えば、第1の電流源回路102aと第2の電流源回路102bで電流源容量を共有することができる。この構成は、図40と同じとなる。なお、図20と同じ部分は同じ符号を用いて示す。また例えば、異なる画素間で、カレントトランジスタを共有することも可能である。また、信号線を共有することができる。例えば、信号線GNaと信号線GNbを共有することができる。また、信号線GHaと信号線GHbを共有することができる。この構成を図21(A)に示す。または、電流線CLaと電流線CLbを共有することができる。この構成を図21(B)に示す。なお、図40、図21(A)、図21(B)の構成は自由に組み合わせることができる。

10

## 【 0 2 3 5 】

電流源回路102aと102bそれぞれの設定の仕方は、実施の形態3と同様である。電流源回路102aは、カレントミラー型の電流源回路である。よって、その設定動作は、スイッチ部の動作とは非同期に行うことができる。一方、電流源回路102bは、同一トランジスタ型の電流源回路である。よって、その設定動作は、スイッチ部の動作と同期させて行うことが望ましい。

## 【 0 2 3 6 】

本実施の形態の画素構成において、各画素の同一トランジスタ型の電流源回路、及びカレントミラー型の電流源回路それぞれが出力する電流の電流値を異ならせる場合、同一トランジスタ型の電流源回路の出力電流の電流値をカレントミラー型の電流源回路の出力電流の電流値と比較して、大きく設定するのが望ましい。その理由は、実施の形態5で示したのと同じであるから、説明は省略する。

20

## 【 0 2 3 7 】

本実施の形態は、実施の形態1乃至実施の形態3と自由に組み合わせて実施することが可能である。

## 【 0 2 3 8 】

## (実施の形態7)

本実施の形態では、各画素の構成と動作について説明する。なお、各画素がスイッチ部と電流源回路のペア2つを有する場合を例にする。そして、2つのペアの2つの電流源回路の構成を、実施の形態3に示した5つの電流源回路の構成から選択し組み合わせる場合を例に説明する。

30

## 【 0 2 3 9 】

なお、実施の形態4乃至実施の形態6に示した第1の組み合わせ例乃至第3の組み合わせ例とは異なる、第4の組み合わせ例について説明する。第4の組み合わせ例では、画素有する2つの電流源回路のうちの1つ(第1の電流源回路)は、図9(A)に示した第1の構成の電流源回路である。もう1つの電流源回路(第2の電流源回路)は、図12(A)に示した第4の構成の電流源回路である。なお、これら電流源回路の構成は、実施の形態3と同様であるので、詳細な説明は省略する。

## 【 0 2 4 0 】

図22に、第4の組み合わせ例の画素の構成を示す。なお、図22において図9(A)及び図12(A)と同じ部分は同じ符号を用いて示す。なお、第1の電流源回路に対応する部分は、図9(A)の符号の後にaを付けて示した。また、第2の電流源回路に対応する部分は、図12(A)の符号の後にbを付けて示した。また、各画素有するスイッチ部と電流源回路のペア2つのスイッチ部(第1のスイッチ部及び第2のスイッチ部)の構成は、実施の形態2を参照することができるので、ここでは説明は省略する。

40

## 【 0 2 4 1 】

ここで、第1の電流源回路102aと第2の電流源回路102bで、配線や素子を共有することができる。例えば、異なる画素間で、カレントトランジスタを共有することも可能である。また、信号線を共有することができる。例えば、信号線GNaと信号線GNbを共有することができる。また、信号線GHaと信号線GHbを共有することができる。こ

50

の構成を図 23 (A) に示す。または、電流線 CL a と電流線 CL b を共有することができる。この構成を図 23 (B) に示す。また、電流線 CL b の代わりに、信号線 S b を用いることができる。この構成を図 23 (C) に示す。なお、図 23 (A) ~ 図 23 (C) の構成は自由に組み合わせることができる。

#### 【 0 2 4 2 】

電流源回路 102 a と 102 b それぞれの設定の仕方は、実施の形態 3 と同様である。電流源回路 102 a は、カレントミラー型の電流源回路である。よって、その設定動作は、スイッチ部の動作とは非同期に行うことができる。一方、電流源回路 102 b は、マルチゲート型の電流源回路である。よって、その設定動作は、スイッチ部の動作と同期させて行うことが望ましい。

10

#### 【 0 2 4 3 】

本実施の形態の画素構成において、各画素のマルチゲート型の電流源回路、及びカレントミラー型の電流源回路それぞれが出力する電流の電流値を異ならせる場合、マルチゲート型の電流源回路の出力電流の電流値をカレントミラー型の電流源回路の出力電流の電流値と比較して、大きく設定するのが望ましい。その理由を以下に説明する。

#### 【 0 2 4 4 】

実施の形態 3 において説明したように、マルチゲート型の電流源回路では制御電流が入力されるトランジスタと、発光素子に電流を出力するトランジスタの一部を共有しているが、カレントミラー型の電流源回路ではこれらのトランジスタは別である。そのため、マルチゲート型の電流源回路よりもカレントミラー型の電流源回路の方が出力電流の電流値に対して大きい電流値の制御電流を入力することが可能である。大きい電流値の制御電流を用いることによって、速く、また、ノイズの影響等を受けにくいため正確に、電流源回路の設定動作が可能である。そのため、仮に同じ電流値の出力電流を設定した場合、カレントミラー型の電流源回路よりもマルチゲート型の電流源回路の方が、電流源回路の設定動作が遅くなる。そこで、マルチゲート型の電流源回路では、カレントミラー型の電流源回路よりも出力電流の電流値を大きくして、制御電流の電流値を大きくし、速く且つ正確に電流源回路の設定動作をすることが望ましい。

20

#### 【 0 2 4 5 】

また実施の形態 3 において説明したように、カレントミラー型の電流源回路は、マルチゲート型の電流源回路と比較して、出力電流のばらつきが大きい。電流源回路の出力電流は、その電流値が大きいほど、ばらつきの影響が大きく現れる。そのため、仮に同じ電流値の出力電流を設定した場合、マルチゲート型の電流源回路よりもカレントミラー型の電流源回路の方が、出力電流のばらつきが大きくなる。そこで、カレントミラー型の電流源回路では、マルチゲート型の電流源回路よりも出力電流の電流値を小さくして、出力電流のばらつきを小さくすることが望ましい。

30

#### 【 0 2 4 6 】

以上により、本実施の形態の画素構成において、各画素のマルチゲート型の電流源回路、及びカレントミラー型の電流源回路それぞれが出力する電流の電流値を異ならせる場合、マルチゲート型の電流源回路の出力電流の電流値をカレントミラー型の電流源回路の出力電流の電流値と比較して、大きく設定するのが望ましい。

40

#### 【 0 2 4 7 】

本実施の形態は、実施の形態 1 乃至実施の形態 3 と自由に組み合わせて実施することが可能である。

#### 【 0 2 4 8 】

##### ( 実施の形態 8 )

本実施の形態では、各画素の構成と動作について説明する。なお、各画素がスイッチ部と電流源回路のペア 2 つを有する場合を例にする。そして、2 つのペアの 2 つの電流源回路の構成を、実施の形態 3 に示した 5 つの電流源回路の構成から選択し組み合わせる場合を例に説明する。

#### 【 0 2 4 9 】

50

なお、実施の形態4乃至実施の形態7に示した第1の組み合わせ例乃至第4の組み合わせ例とは異なる、第5の組み合わせ例について説明する。第5の組み合わせ例では、画素が有する2つの電流源回路のうちの1つ（第1の電流源回路）は、図9（A）に示した第1の構成の電流源回路である。もう1つの電流源回路（第2の電流源回路）は、図13（A）に示した第5の構成の電流源回路である。なお、これら電流源回路の構成は、実施の形態3と同様であるので、詳細な説明は省略する。

#### 【0250】

図24に、第5の組み合わせ例の画素の構成を示す。なお、図24において図9（A）及び図13（A）と同じ部分は同じ符号を用いて示す。なお、第1の電流源回路に対応する部分は、図9（A）の符号の後にaを付けて示した。また、第2の電流源回路に対応する部分は、図13（A）の符号の後にbを付けて示した。また、各画素の有するスイッチ部と電流源回路のペア2つのスイッチ部（第1のスイッチ部及び第2のスイッチ部）の構成は、実施の形態2を参照することができるので、ここでは説明は省略する。

#### 【0251】

ここで、第1の電流源回路102aと第2の電流源回路102bで、配線や素子を共有することができる。例えば、異なる画素間で、カレントトランジスタを共有することも可能である。また、信号線を共有することができる。例えば、信号線GNaと信号線GNbを共有することができる。また、信号線GHaと信号線GHbを共有することができる。この構成を図25（A）に示す。または、電流線CLaと電流線CLbを共有することができる。この構成を図25（B）に示す。なお、図25（A）、図25（B）の構成は自由に組み合わせることができる。

#### 【0252】

電流源回路102aと102bそれぞれの設定の仕方は、実施の形態3と同様である。電流源回路102aは、カレントミラー型の電流源回路である。よって、その設定動作は、スイッチ部の動作とは非同期に行うことができる。一方、電流源回路102bは、マルチゲート型の電流源回路である。よって、その設定動作は、スイッチ部の動作と同期させて行うことが望ましい。

#### 【0253】

本実施の形態の画素構成において、各画素のカレントミラー型の電流源回路、及びマルチゲート型の電流源回路それぞれが出力する電流の電流値を異ならせる場合、カレントミラー型の電流源回路の出力電流の電流値をマルチゲート型の電流源回路の出力電流の電流値と比較して、大きく設定するのが望ましい。その理由は実施の形態7と同様であるので、説明は省略する。

#### 【0254】

本実施の形態は、実施の形態1乃至実施の形態3と自由に組み合わせる実施することが可能である。

#### 【0255】

##### （実施の形態9）

本実施の形態では、本発明の画素構成において、時間階調方式と組み合わせる階調を表現する場合の具体例を4つ示す。なお時間階調方式に関する基本的な説明は、実施の形態2で行ったのでここでは説明は省略する。本実施の形態では、64階調を表現する場合を例示する。

#### 【0256】

第1の例を示す。各画素の有する複数の電流源回路の出力電流を適当に定めることによって、発光素子に流れる電流の電流値（I）を1：2の比に変化させる。このとき、1フレーム期間を3つのサブフレーム期間に分割し、各サブフレーム期間の表示期間の長さ（T）の比が1：4：16となるように設定する。こうして表1に示すように、発光素子に流れる電流（電流Iと表記）と表示期間の長さ（期間Tと表記）の組み合わせによって、64階調を表現することができる。

#### 【0257】

【表 1】

| 期間T<br>電流I | 1 | 4 | 16 |
|------------|---|---|----|
| 1          | 1 | 4 | 16 |
| 2          | 2 | 8 | 32 |

10

## 【0258】

第2の例を示す。各画素の有する複数の電流源回路の出力電流を適当に定めることによって、発光素子に流れる電流の電流値（I）を1：4の比に変化させる。このとき、1フレーム期間を3つのサブフレーム期間に分割し、各サブフレーム期間の表示期間の長さ（T）の比が1：2：16となるように設定する。こうして、表2に示すように、発光素子に流れる電流Iと期間Tの組み合わせによって、64階調を表現することができる。

## 【0259】

【表 2】

20

| 期間T<br>電流I | 1 | 2 | 16 |
|------------|---|---|----|
| 1          | 1 | 2 | 16 |
| 4          | 4 | 8 | 64 |

## 【0260】

第3の例を示す。各画素の有する複数の電流源回路の出力電流を適当に定めることによって、発光素子に流れる電流の電流値（I）を1：2：4の比に変化させる。このとき、1フレーム期間を2つのサブフレーム期間に分割し、各サブフレーム期間の表示期間の長さ（T）の比が1：8となるように設定する。こうして、表3に示すように、発光素子に流れる電流Iと期間Tの組み合わせによって、64階調を表現することができる。

【表 3】



| <div> <div>期間T</div> <div>電流I</div> </div> | 1 | 8  |
|--|---|----|
| 1  | 1 | 8  |
| 2  | 2 | 16 |
| 4  | 4 | 32 |

10

20

【 0 2 6 1 】

第 4 の例を示す。各画素の有する複数の電流源回路の出力電流を適当に定めることによって、発光素子に流れる電流の電流値（I）を 1 : 4 : 16 の比に変化させる。このとき、30  
1 フレーム期間を 2 つのサブフレーム期間に分割し、各サブフレーム期間の表示期間の長さ（T）の比が 1 : 2 となるように設定する。こうして、表 4 に示すように、発光素子に流れる電流 I と期間 T の組み合わせによって、64 階調を表現することができる。

【 0 2 6 2 】

【表 4】

| <div> <div>期間T</div> <div>電流I</div> </div> | 1  | 2  |
|--|----|----|
| 1  | 1  | 2  |
| 4  | 4  | 8  |
| 16   | 16 | 32 |

10

20

## 【 0 2 6 3 】

なお、本実施の形態は、実施の形態 1 ～実施の形態 8 と自由に組み合わせて実施することができる。

30

## 【 0 2 6 4 】

( 実施の形態 1 0 )

実施の形態 1 ～実施の形態 9 では、各画素が、電流源回路とスイッチ部のペアを複数有する構成を示した。しかし、各画素が電流源回路とスイッチ部のペアを 1 つだけ有する構成としてもよい。

## 【 0 2 6 5 】

各画素にスイッチ部と電流源回路のペアが 1 つの場合は、2 階調が表現できる。なお、他の階調表示方法と組み合わせることによって多階調化も可能である。例えば、時間階調方式と組み合わせて階調表示を行うことも可能である。

## 【 0 2 6 6 】

本実施の形態は、実施の形態 1 ～実施の形態 9 と自由に組み合わせて実施することができる。

40

## 【 0 2 6 7 】

( 実施の形態 1 1 )

各画素が、3 つ以上の電流源回路を有する構成としてもよい。例えば、実施の形態 4 ～実施の形態 8 に示した、第 1 の組み合わせ例～第 5 の組み合わせ例において、実施の形態 3 で示した 5 つの構成の電流源回路のうち任意の回路を追加することができる。

## 【 0 2 6 8 】

本実施の形態は、実施の形態 1 ～実施の形態 1 0 と自由に組み合わせて実施することができる。

50

【 0 2 6 9 】

( 実施の形態 1 2 )

本実施の形態では、本発明の表示装置において、各画素に制御電流を入力する駆動回路の構成について説明する。

【 0 2 7 0 】

各画素に inputs する制御電流がばらつくと、各画素の電流源回路が出力する電流の電流値もばらついてしまう。そのため、各電流線にほぼ一定の制御電流を出力する構成の駆動回路が必要となる。そのような駆動回路の例を以下に示す。

【 0 2 7 1 】

例えば、特願 2 0 0 1 — 3 3 3 4 6 2 号、特願 2 0 0 1 — 3 3 3 4 6 6 号、特願 2 0 0 1 10  
— 3 3 3 4 7 0 号、特願 2 0 0 1 — 3 3 5 9 1 7 号または特願 2 0 0 1 — 3 3 5 9 1 8 号  
に示す構成の信号線駆動回路を用いることができる。つまり、該信号線駆動回路の出力電流を制御電流として各画素に inputs することができる。

【 0 2 7 2 】

本発明の表示装置において、上記の信号線駆動回路を適用することによって、各画素にほぼ一定の制御電流を inputs することができる。こうして、画像の輝度のばらつきを更に低減することが可能である。

【 0 2 7 3 】

本実施の形態は、実施の形態 1 ~ 実施の形態 1 1 と自由に組み合わせて実施することが可能である。 20

【 0 2 7 4 】

( 実施の形態 1 3 )

本実施の形態では、本発明を応用した表示システムについて説明する。

【 0 2 7 5 】

ここで表示システムとは、表示装置に inputs される映像信号を記憶するメモリや、表示装置の各駆動回路に inputs する制御信号（クロックパルス、スタートパルス等）を出力する回路、それらを制御するコントローラ等を含むものとする。

【 0 2 7 6 】

表示システムの例を図 4 1 に示す。表示システムは、表示装置の他に、A / D 変換回路、メモリ選択スイッチ A、メモリ選択スイッチ B、フレームメモリ 1、フレームメモリ 2、 30  
コントローラ、クロック信号発生回路、電源発生回路を有する。

【 0 2 7 7 】

表示システムの動作について説明する。A / D 変換回路は、表示システムに inputs された映像信号をデジタルの映像信号に変換する。フレームメモリ A またはフレームメモリ B は、該デジタルの映像信号が記憶される。ここで、フレームメモリ A またはフレームメモリ B を期間毎（1 フレーム期間毎、サブフレーム期間毎）に使い分けることによって、メモリへの信号の書き込み及びメモリからの信号の読み出しに余裕を持たせることができる。フレームメモリ A またはフレームメモリ B の使い分けは、コントローラによってメモリ選択スイッチ A 及びメモリ選択スイッチ B を切りかえることによって行われる。また、クロック発生回路はコントローラからの信号によってクロック信号等を発生させる。電源発生回路はコントローラからの信号によって、所定の電源を発生させる。メモリから読み出された信号、クロック信号、電源等は、F P C を介して表示装置に inputs される。 40

【 0 2 7 8 】

なお、本発明を応用した表示システムは、図 4 1 に示した構成に限定されない。公知のあらゆる構成の表示システムにおいて、本発明を応用することができる。

【 0 2 7 9 】

本実施の形態は、実施の形態 1 ~ 実施の形態 1 2 と自由に組み合わせて実施することが可能である。

【 0 2 8 0 】

( 実施の形態 1 4 )

本発明は、様々な電子機器に適用することができる。つまり、様々な電子機器が有する画像表示を行う部分（表示部）に本発明の構成要素を適用することができる。

【0281】

本発明の電子機器の一例として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）等が挙げられる。

【0282】

なお、上記電子機器に限定されず様々な電子機器に本発明を適用することが可能である。

【0283】

本実施の形態は、実施の形態1～実施の形態13と自由に組み合わせて実施することが可能である。

【0284】

（実施の形態15）

本発明の表示装置では、電流源トランジスタは飽和領域で動作する。そこで、本実施の形態では、表示装置の消費電力を抑えることができ、なおかつ電流源トランジスタの飽和領域における動作の線形性を保つことができる、電流源トランジスタのチャネル長の最適な範囲について説明する。

【0285】

本発明の表示装置の有する電流源トランジスタは、飽和領域で動作し、そのドレイン電流 $I_d$ は以下の式1で表される。なお、 $V_{gs}$ をゲート電圧、 $\mu$ を移動度、 $C_0$ を単位面積あたりのゲート容量、 $W$ をチャネル幅、 $L$ をチャネル長、 $V_{th}$ を閾値、ドレイン電流を $I_d$ とする。

【0286】

【式1】

$$I_d = \mu C_0 W / L (V_{gs} - V_{th})^2 / 2$$

【0287】

式1から、 $\mu$ 、 $C_0$ 、 $V_{th}$ 、 $W$ の値が固定されている場合、 $I_d$ が $V_{gs}$ の値に依存せずに、 $L$ と $V_{gs}$ の値で定まることがわかる。

【0288】

ところで、消費電力は電流と電圧の積に相当する。また $I_d$ は発光素子の輝度に比例するので、輝度が定まると $I_d$ の値は固定される。よって消費電力の低減を考慮した場合、 $|V_{gs}|$ は低い方が望ましく、したがって $L$ は小さい値が望ましいことがわかる。

【0289】

しかし $L$ の値が小さくなると、アーリー効果またはキンク効果により徐々に飽和領域の線形性が保たれなくなる。つまり、電流源トランジスタの動作が上記式1に従わなくなり、 $I_d$ の値が次第に $V_{gs}$ に依存するようになる。 $V_{gs}$ の値は発光素子の劣化による $V_E$ の減少に伴って増加するため、連鎖的に $I_d$ の値が発光素子の劣化に左右されやすくなる。

【0290】

つまり $L$ の値は、飽和領域の線形性を考慮すると小さすぎるのは望ましくなく、かといって大きすぎると消費電力を抑えることができない。 $L$ の値は、飽和領域の線形性が保たれる範囲内でより小さくするのが最も好ましい。

【0291】

図42に、 $W = 4 \mu m$ 、 $V_{gs} = 10 V$ のときの、Pチャネル型TFTにおける $L$ と $\Delta I_d$ の関係を示す。 $\Delta I_d$ は $I_d$ を $L$ で微分した値であり、 $L$ に対する $I_d$ の傾きに相当する。よって $\Delta I_d$ の値が小さいほど飽和領域における $I_d$ の線形性が保たれることを意味する。そして図42に示すように、 $L$ を大きくしていくと、 $L$ が $100 \mu m$ 程度から $\Delta I_d$

。の値が飛躍的に小さくなっているのがわかる。よって飽和領域の線形性を保つためには、 $L$ が $100\mu\text{m}$ 程度かそれより大きい値が望ましいことがわかる。

#### 【0292】

そして消費電力を考慮すると $L$ は小さい方がより望ましいので、両方の条件を満たすために、 $L$ は $100\pm 10\mu\text{m}$ とするのが最も望ましい。つまり $L$ の範囲を $90\mu\text{m}\leq L\leq 110\mu\text{m}$ とすることで、電流源トランジスタを有する表示装置の消費電力を抑えなおかつ電流源トランジスタの飽和領域における線形性を保つことができる。

#### 【0293】

本実施の形態は、実施の形態1～実施の形態14と自由に組み合わせて実施することが可能である。

#### 【0294】

##### (実施の形態16)

本実施の形態では、課題を解決する手段において述べた輝度ばらつきを更に低減する駆動方法、即ち、同じ階調を表現する際に、同じ出力電流に設定された複数の電流源回路を使い分ける駆動方法を用いる画素の構成例を示す。

#### 【0295】

本実施の形態で示す画素は、電流源回路を複数有し、当該複数の電流源回路とペアになるスイッチ部を共有した構成である。各画素に1つのデジタルの映像信号を入力し、複数の電流源回路を選択的に用いて画像表示を行う。こうして、各画素の有する素子の数を減らし、開口率を増大させることができる。なお、スイッチ部を共有した複数の電流源回路は、互いに同じ一定の電流を出力するように設定される。そして、同じ階調を表現する際に、同じ一定の電流を出力する電流源回路を使い分ける。このようにすれば、仮に電流源回路の出力電流がばらついても、発光素子に流れる電流は時間的に平均化される。そのため、各画素間の電流源回路の出力電流のばらつきによる輝度のばらつきを視覚的に低減することができる。

#### 【0296】

図43に、本実施の形態の画素の構成を示す。なお、図7や図8と同じ部分は、同じ符号を用いて示し、説明は省略する。

#### 【0297】

図43(A)は、電流源回路に対応するスイッチ部101a、101bにおいて、選択トランジスタ301を共有した構成である。また、図43(B)は、電流源回路102a、102bに対応するスイッチ部101a、101bにおいて、選択トランジスタ301及び駆動トランジスタ302を共有した構成である。なお、図43では図示しないが、実施の形態2で示したような消去トランジスタ304を設けてもよい。画素中での消去トランジスタ304の接続の仕方は、実施の形態2と同様にすることができる。

#### 【0298】

電流源回路102a、102bとして、実施の形態3に示した第1の構成乃至第5の構成の電流源回路を自由に適用することができる。ただし、本実施の形態のように複数の電流源回路とペアになるスイッチ部を共有した構成では、電流源回路102a、102b自体それぞれに、端子A・端子B間の導通・非導通を選択する機能が必要である。その理由は、複数の電流源回路に対して1つ配置されたスイッチ部によって、複数の電流源回路102a、102bの中から発光素子に電流を供給する電流源回路を選択することはできないからである。

#### 【0299】

例えば、実施の形態3において図10、図11、図12、図13等にした第2の構成乃至第5の構成の電流源回路は、電流源回路102自体に端子A・端子B間の導通・非導通を選択する機能がある。即ち、このような構成の電流源回路では、電流源回路の設定動作の際には端子A・端子B間を非導通とし、画像表示を行う際には端子A・端子B間を導通とすることができる。一方、実施の形態3において、図9等にした第1の構成の電流源回路は、電流源回路102自体に端子A・端子B間の導通・非導通を選択する機能は無い

。即ち、このような構成に電流源回路では、電流源回路の設定動作の際にも画像表示を行う際にも、端子A・端子B間は導通状態である。よって、図43に示したような本実施の形態の画素の電流源回路として、図9に示したような構成の電流源回路を用いる場合、デジタルの映像信号とは別の信号によって、各電流源回路の端子A・端子B間の導通・非導通を制御する手段を設ける必要がある。

#### 【0300】

本実施の形態の構成の画素では、スイッチ部を共有した複数の電流源回路のうち、1つの電流源回路の設定動作をしている間に、別の電流源回路を用いて表示動作を行うことができる。そのため、本実施の形態の画素構成であれば、電流源回路の設定動作と電流出力とを同時に行うことができない第2の構成乃至第5の構成の電流源回路を用いる場合も、電流源回路の設定動作と表示動作とを同時に行うことができる。

#### 【0301】

本実施の形態は、実施の形態1～実施の形態15と自由に組み合わせて実施することが可能である。

#### 【発明の効果】

本発明の表示装置では、画像表示を行う際に発光素子を流れる電流は所定の一定電流に保たれるため、発光素子を劣化等による電流特性の変化によらず一定の輝度で発光させることが可能である。また、デジタルの映像信号でスイッチ部のオン・オフ状態を選択することによって、各画素の各発光状態または非発光状態を選択する。そのため、画素への映像信号の書き込みを速くすることができる。更に、映像信号により非発光状態が選択された画素においては、スイッチ部によって発光素子に入力される電流は完全に遮断されるので、正確な階調表現が可能である。

#### 【0302】

従来の電流書き込み型アナログ方式の画素構成では、画素に入力する電流を輝度に応じて小さくする必要があった。そのため、ノイズの影響が大きいという問題があった。一方、本発明の表示装置の画素構成では、電流源回路を流れる一定電流の電流値をある程度大きく設定すれば、ノイズの影響を低減することができる。

#### 【0303】

また、発光素子を、劣化等による電流特性の変化によらず一定の輝度で発光させることが可能で、且つ、各画素への信号の書き込み速度が速く、正確な階調が表現可能で、また、低コストで、小型化可能な表示装置及びその駆動方法を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の表示装置の画素の構成を示す模式図。

【図2】本発明の表示装置の画素の構成を示す模式図。

【図3】本発明の表示装置の画素のスイッチ部の構成を示す図。

【図4】本発明の表示装置の駆動方法を示す図。

【図5】本発明の表示装置の画素のスイッチ部の構成を示す図。

【図6】本発明の表示装置の画素のスイッチ部の構成及び駆動方法を示す図。

【図7】本発明の表示装置の画素の構成を示す図。

【図8】本発明の表示装置の画素の構成を示す図。

【図9】本発明の表示装置の画素の電流源回路の構成及び駆動方法を示す図。

【図10】本発明の表示装置の画素の電流源回路の構成及び駆動方法を示す図。

【図11】本発明の表示装置の画素の電流源回路の構成及び駆動方法を示す図。

【図12】本発明の表示装置の画素の電流源回路の構成及び駆動方法を示す図。

【図13】本発明の表示装置の画素の電流源回路の構成及び駆動方法を示す図。

【図14】本発明の表示装置の駆動方法を示す図。

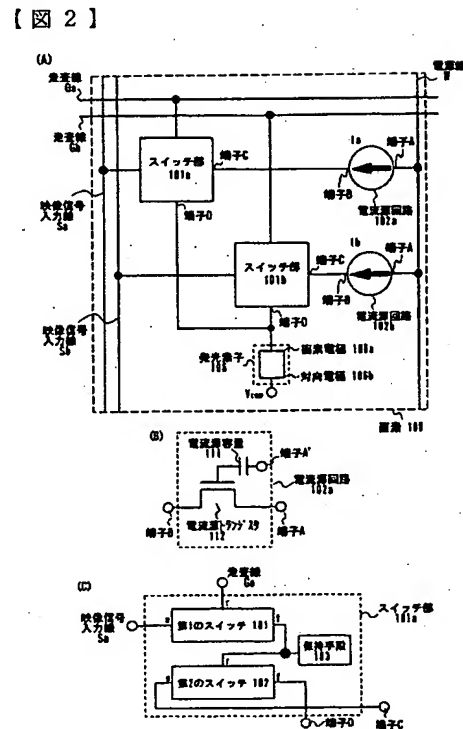
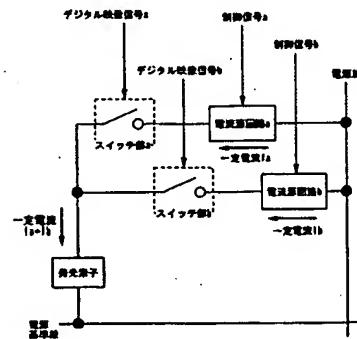
【図15】本発明の表示装置の駆動回路の構成を示す図。

【図16】本発明の表示装置の画素の構成を示す図。

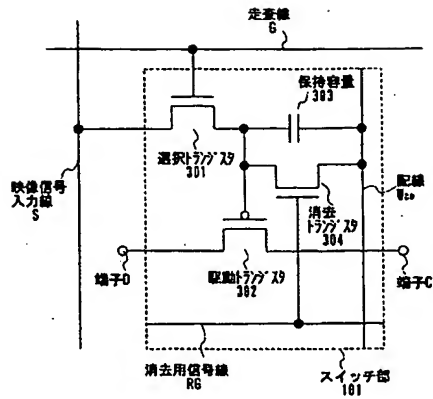
【図17】本発明の表示装置の画素の構成を示す図。

【図18】本発明の表示装置の画素の構成を示す図。

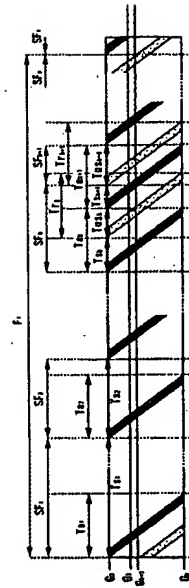
- 【図 19】 本発明の表示装置の画素の構成を示す図。  
 【図 20】 本発明の表示装置の画素の構成を示す図。  
 【図 21】 本発明の表示装置の画素の構成を示す図。  
 【図 22】 本発明の表示装置の画素の構成を示す図。  
 【図 23】 本発明の表示装置の画素の構成を示す図。  
 【図 24】 本発明の表示装置の画素の構成を示す図。  
 【図 25】 本発明の表示装置の画素の構成を示す図。  
 【図 26】 従来の表示装置の画素の構成を示す図。  
 【図 27】 従来の表示装置の駆動 T F T の動作領域を示す図。  
 【図 28】 従来の表示装置の画素の構成を示す図。  
 【図 29】 従来の表示装置の画素の動作を示す図。  
 【図 30】 従来の表示装置の画素の構成及び動作を示す図。  
 【図 31】 従来の表示装置の駆動 T F T の動作領域を示す図。  
 【図 32】 従来の表示装置の駆動 T F T の動作領域を示す図。  
 【図 33】 本発明の表示装置の画素の電流源回路の構成を示す図。  
 【図 34】 本発明の表示装置の画素の電流源回路の構成を示す図。  
 【図 35】 本発明の表示装置の画素の構成を示す図。  
 【図 36】 本発明の表示装置の画素の電流源回路の構成を示す図。  
 【図 37】 本発明の表示装置の画素の電流源回路の構成を示す図。  
 【図 38】 本発明の表示装置の画素の電流源回路の構成を示す図。  
 【図 39】 本発明の表示装置の画素の電流源回路の構成を示す図。  
 【図 40】 本発明の表示装置の画素の構成を示す図。  
 【図 41】 本発明の表示システムの構成を示す模式図。  
 【図 42】 チャネル長  $L$  と  $\Delta I_d$  の関係を示すグラフ。  
 【図 43】 本発明の表示装置の画素の構成を示す図。  
 【図 1】



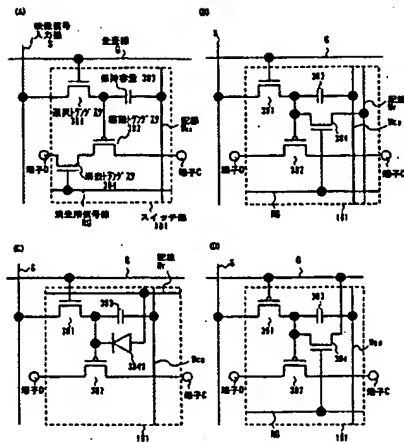
【 図 3 】



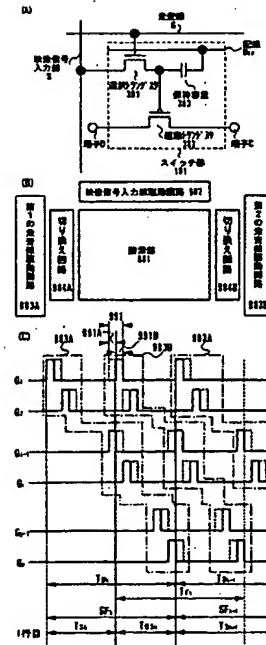
【 図 4 】



【 図 5 】

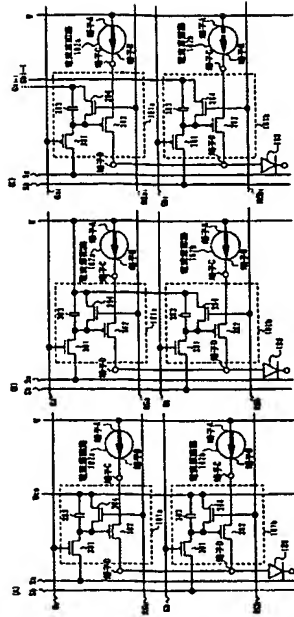


【 図 6 】

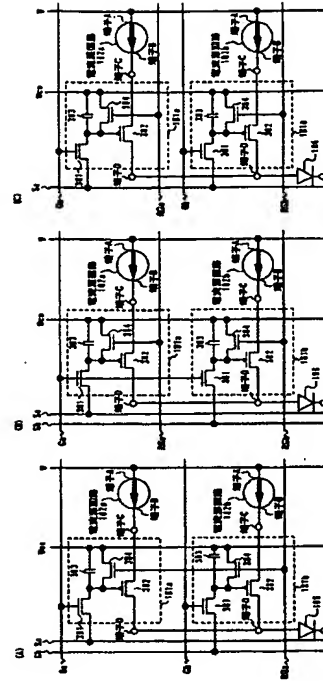




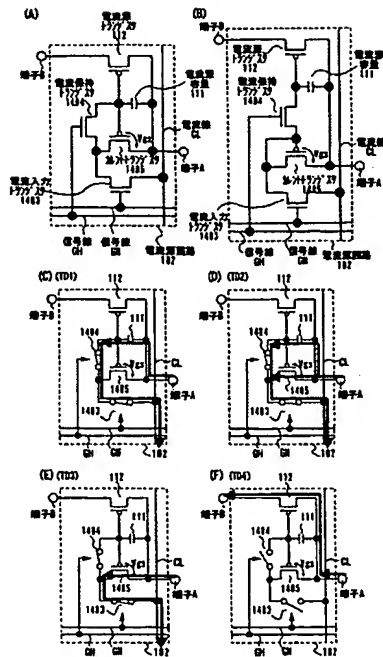
【 図 7 】



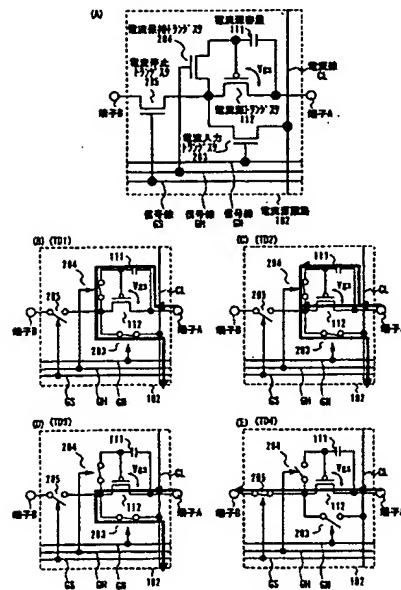
【 図 8 】



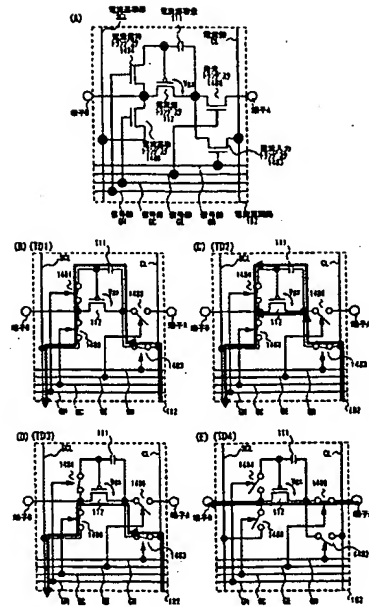
【 図 9 】



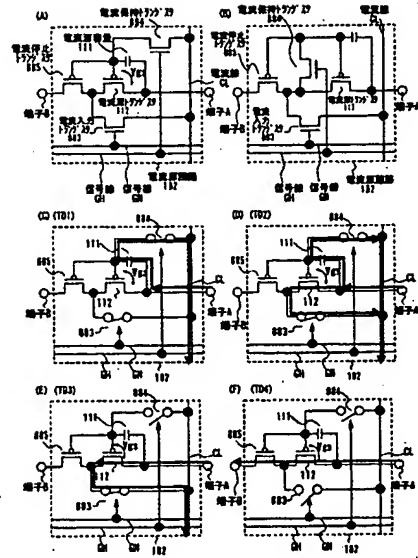
【 図 10 】



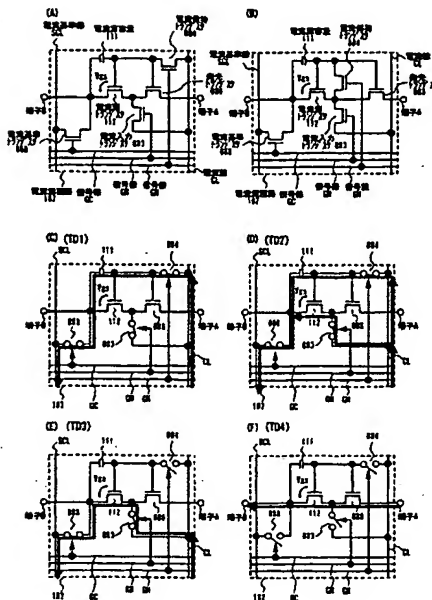
【図 1 1】



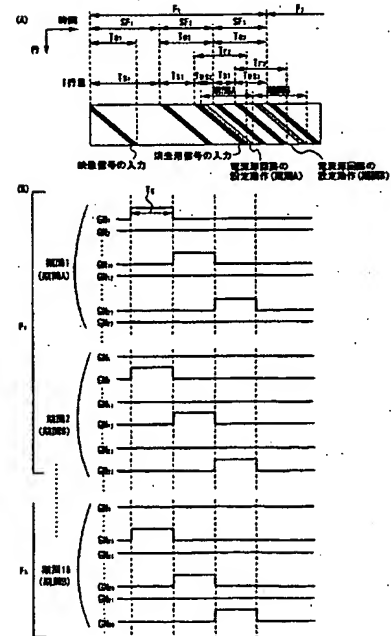
【図 1 2】



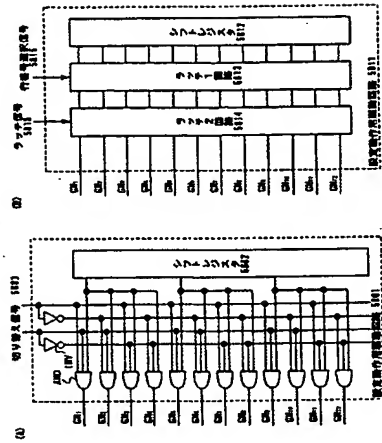
【図 1 3】



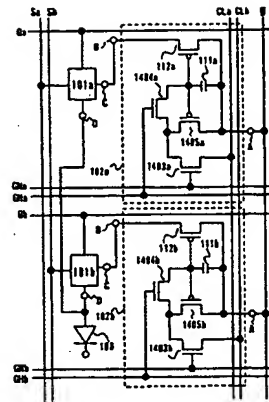
【図 1 4】



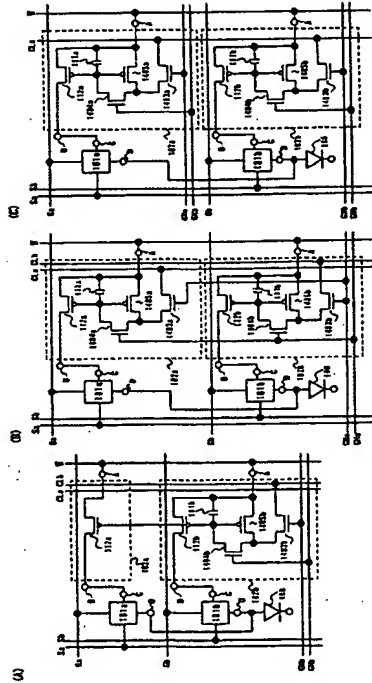
【 図 1 5 】



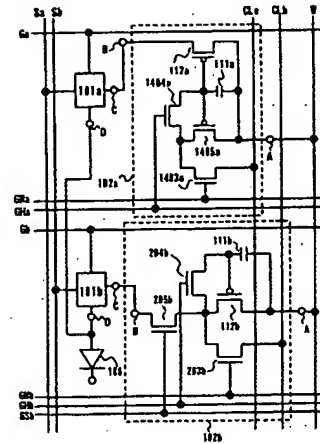
【 図 1 6 】



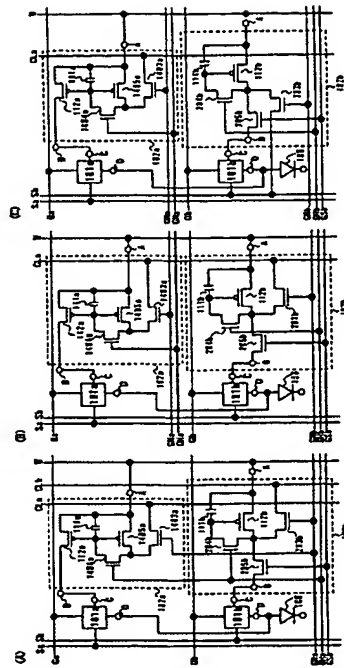
【 図 1 7 】



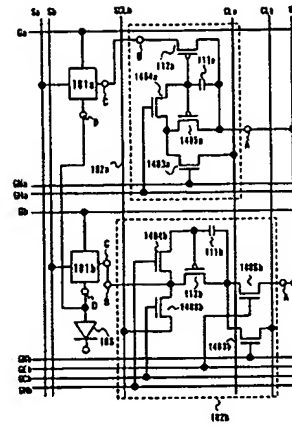
【 図 1 8 】



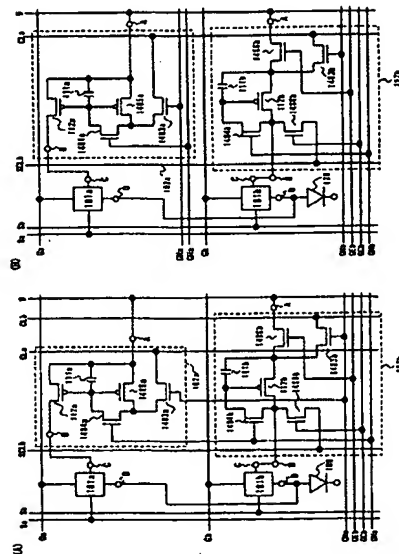
【 図 1 9 】



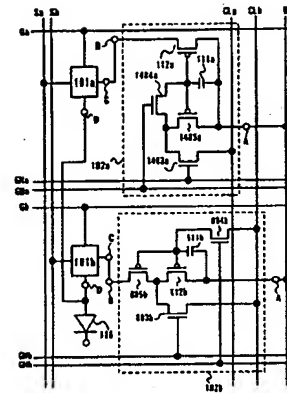
【 図 2 0 】



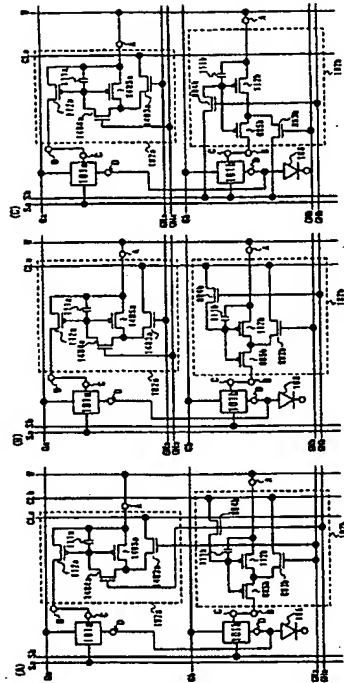
【 図 2 1 】



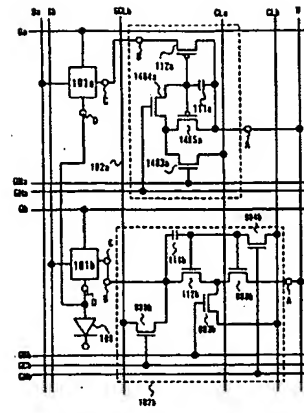
【 図 2 2 】



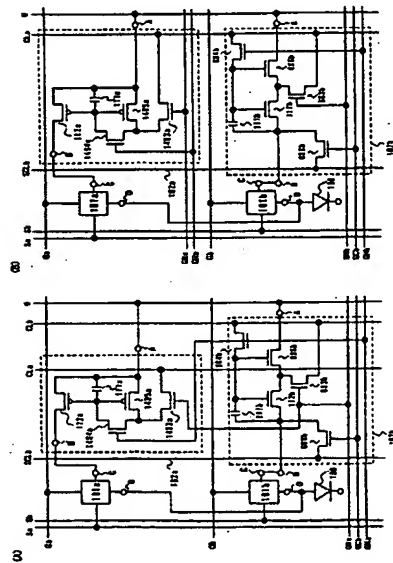
【 図 2 3 】



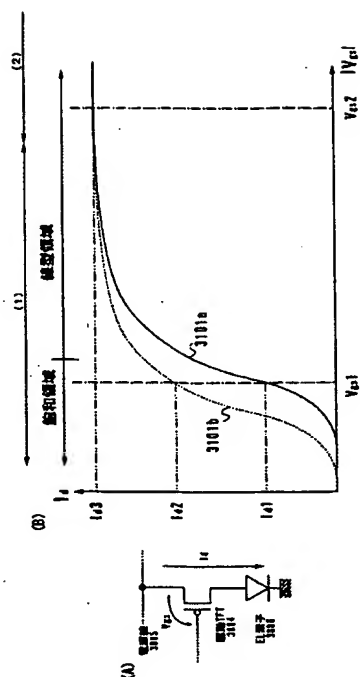
【 図 2 4 】



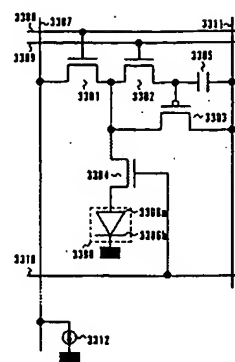
【 図 2 5 】



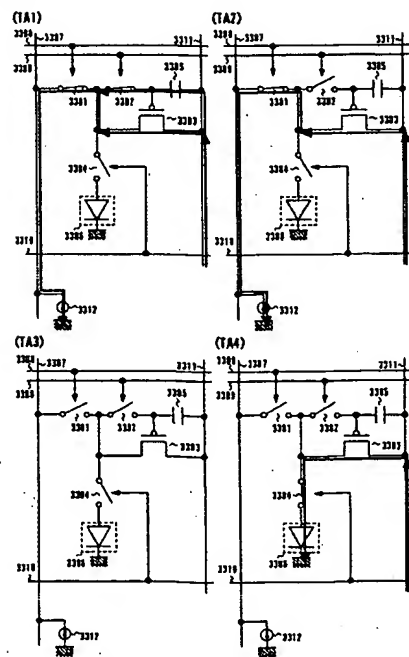
【 図 27 】



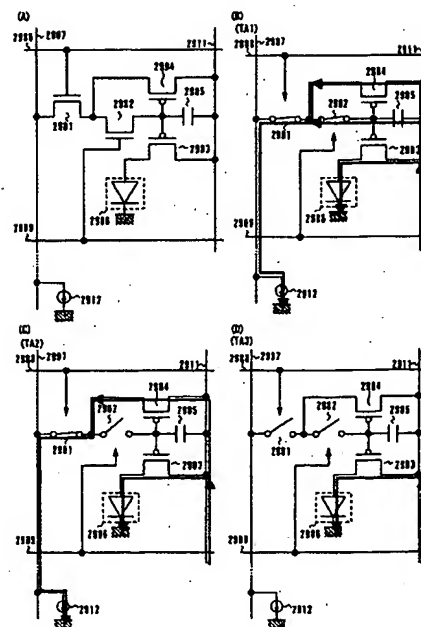
【 図 28 】



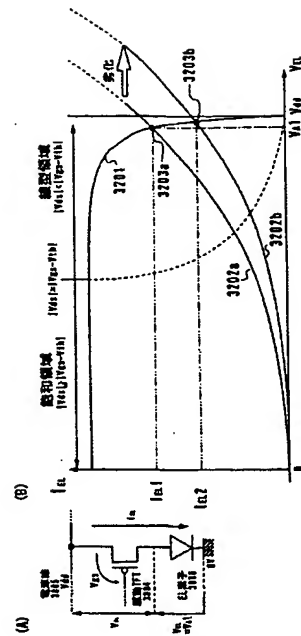
【 図 29 】



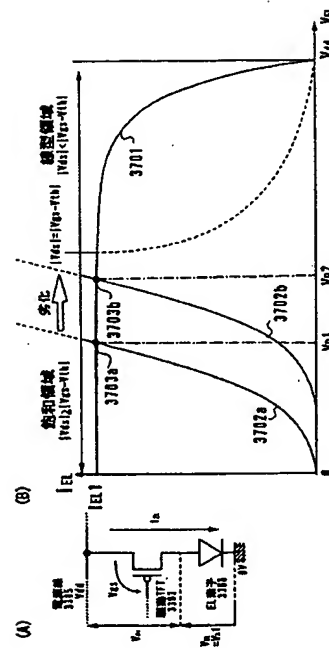
【 図 30 】



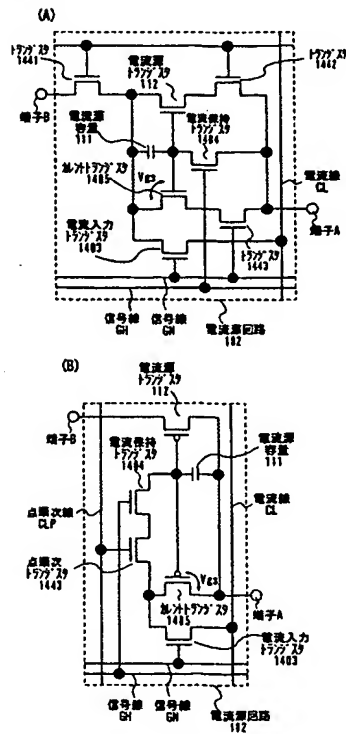
【図 3 1】



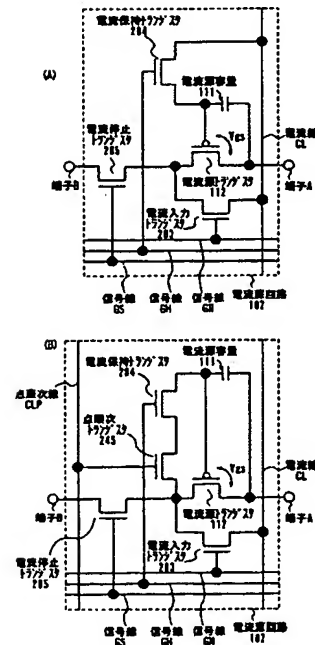
【図 3 2】



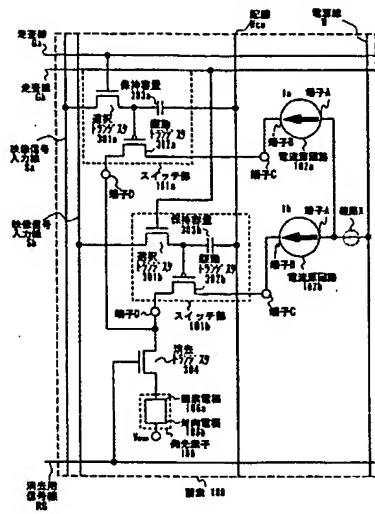
【図 3 3】



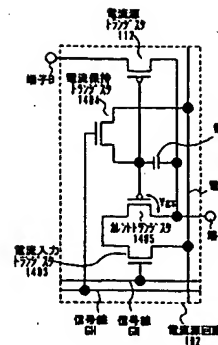
【図 3 4】



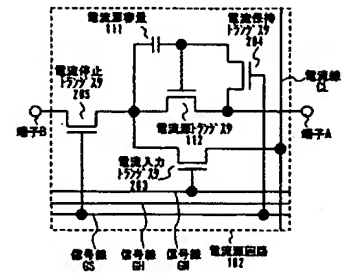
【 図 3 5 】



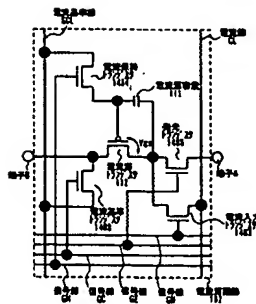
【 図 3 6 】



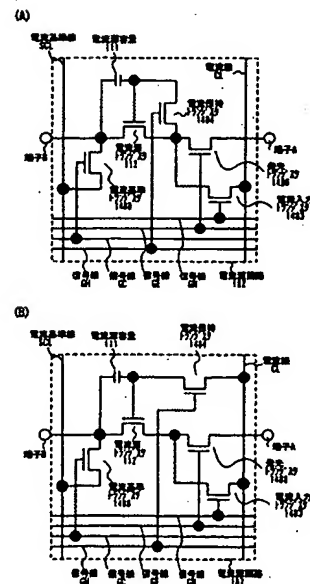
【 図 3 7 】



【 図 3 8 】

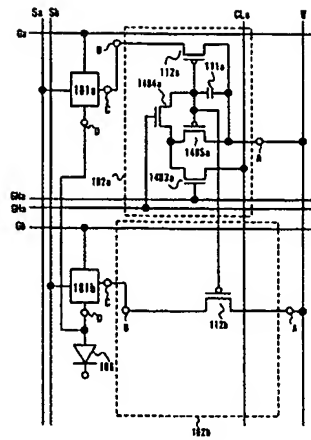


【 図 3 9 】

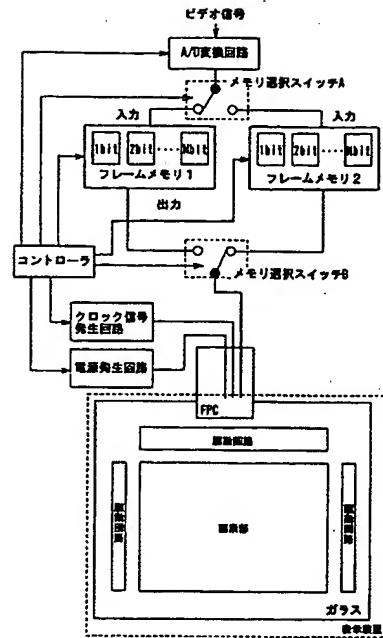




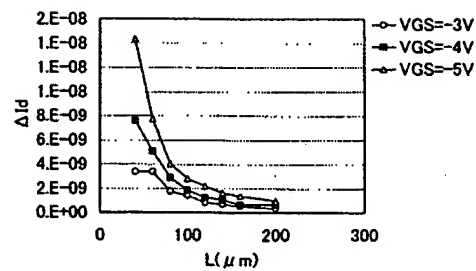
【 図 4 0 】



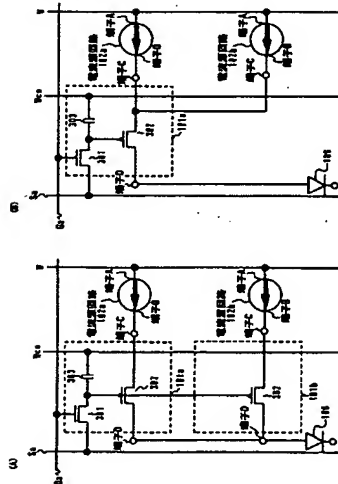
【 図 4 1 】



【 図 4 2 】



【 図 4 3 】



## フロントページの続き

(51) Int. Cl.<sup>7</sup>

F I

テーマコード (参考)

|         |       |         |
|---------|-------|---------|
| G 0 9 G | 3/20  | 6 2 2 A |
| G 0 9 G | 3/20  | 6 2 3 A |
| G 0 9 G | 3/20  | 6 2 4 B |
| G 0 9 G | 3/20  | 6 4 1 A |
| G 0 9 G | 3/20  | 6 4 1 D |
| G 0 9 G | 3/20  | 6 4 1 E |
| G 0 9 G | 3/20  | 6 4 1 K |
| G 0 9 G | 3/20  | 6 4 2 B |
| G 0 9 G | 3/20  | 6 7 0 J |
| H 0 5 B | 33/14 | A       |